

Hallo, CP/M-Freunde!

Ich denke, jetzt habt Ihr lange genug gewartet. Zumindest auf mein Schreiben, in dem ich mich zunächst noch einmal herzlich für Euer Kommen zu unserem Treffen bedanken möchte. Ich lege unser Gruppenfoto bei, damit in Zukunft alle immer sehen können, wer am anderen Ende der Telefonleitung sitzt...

Wie Ihr alle wißt, war zu diesem Zeitpunkt noch ein Bug beim Power-Up vorhanden, und mit diesem Fehler wollte ich auf keinen Fall etwas ausliefern. Inzwischen ist der Fehler gefunden (es war der Quarz!) und behoben (Markenexemplar mit definierten Spezifikationen), so daß die CPU280 nun auch zuverlässig startet.

Seitdem habe ich noch etwas an System und Format-Manager herumgefeilt, und das Ganze ist inzwischen so weit gediehen, daß ich in dieser Woche die Herztransplantation (CPU180 raus - CPU280 rein) bei meinem Rechner durchgeführt habe. Keinerlei Komplikationen - der Patient ist wohlauf. Deswegen sollt Ihr nun auch endlich in den Genuß des Z280 kommen.

Natürlich kommt auch diesmal wieder etwas dazwischen! Vom 7.-23.9. fahre ich nämlich in Urlaub, und die Woche darauf ist das Wochenende in Mannheim (s.u.). Also werde ich erst danach anfangen können, Material zu bestellen. Ich vermute, es wird Ende Oktober, bevor die ersten 'Bausätze' an Euch rausgehen. Mit der bis dahin existierenden Software, bei der man mit einem umfangreichen späteren Update rechnen sollte (jetzt ist es zwar nicht 'Dirty', aber relativ 'Quick' programmiert, und noch ohne gewisse Features wie z.B. Interrupt-I/O und Multi-Sector). Wie ich soeben erfahren habe, wird auch der Z280-12.5 etwa dann lieferbar sein.

Den Bausatzumfang möchte ich hier noch einmal genau spezifizieren: Enthalten sein werden alle IC's (Speicher 1 MB) und alle IC-Fassungen, alle Quarze, die Widerstandsnetzwerke, die VG-Leiste und die benötigten Pfostenleisten, natürlich die Platine selbst, das Hardware-Handbuch, sowie eine Diskette (bevorzugt 5¼") mit der vollständigen Systemsoftware. **Nicht** enthalten sein werden die Kondensatoren und Widerstände, Transistor, LED's, Pfostenstecker, Jumper. Das Software-Handbuch muß erst noch geschrieben werden, und ich fürchte, daß ich das bis dahin nicht schaffe. Auf jeden Fall werdet Ihr aber genug Informationen bekommen, um das Ding ans Laufen zu bekommen und damit zu arbeiten.

Wie Ihr wißt, hat der Umfang der Bestellungen inzwischen ein Ausmaß angenommen, bei dem ich nicht mehr das Geld für den Teilekauf vorstrecken möchte. Deswegen hätte ich gerne, wie im Juli angesprochen, von den Bausatz-Bestellern einen weiteren Scheck über DM250,-. Die Summe von damit DM 500,- reicht für den größten Teil des Materials, so daß nur noch ein kleiner Restbetrag vorzustrecken ist. Die meisten von Euch werden wohl nach Mannheim kommen, so daß sie mir dort das Ding übergeben können.

Nun zu dem Mannheim-Wochenende. Der CPC-Userclub Mannheim/Ludwigshafen organisiert dort am 29./30.9. das **1. Z80- und CP/M-Treffen Deutschlands** und lädt dazu **alle** CP/M-User und Clubs ein. Es wird Vorträge zu verschiedenen Themen geben, parallel dazu findet eine Computerbörse statt, und am Samstagabend ist Grillen angesagt. **Genaue Info (und Anmeldung!) bei:** Jürgen Linder, K2.23, 6800 Mannheim, Telefon 0621-103461.

Bis dahin, Tilmann (310890)

Liebe CP/M-Freunde,

endlich ist es soweit! Wir werden uns treffen, um uns und den neuen Rechner kennenzulernen. Doch dazu später mehr, vorher noch ein paar technische Informationen:

Die Platinen für die CPU280 sind derzeit in Herstellung (bereits die neue, überarbeitete Version) und ich rechne bald mit der Lieferung. Unterdessen programmiere ich am BIOS weiter, derzeit bin ich beim AutoFormat-System mit einem neuen Parameterblock und noch mehr Möglichkeiten als bisher. Inzwischen habe ich auch ein Musterexemplar der neuen CPU (12.5 MHz) erhalten, so daß mein CPU280-Prototyp jetzt mit 12.288 MHz läuft (einwandfrei übrigens). In diesem Zusammenhang auch noch einmal die aktuellen HL-Benchmarks:

Prozessor	Taktfrequenz	Integer	Real	TrigLog
Z80A	4 MHz	6.3	54.5	95.5
Z180	9.216 MHz	2.1	21.4	37.6
Z280	12.288 MHz	1.2	15.4	25.7 (alle Daten ODD)
Z280	12.288 MHz	1.1	13.8	23.2 (alle Daten EVEN)

Das Hardware-Handbuch ist auch schon fertig (technische Unterlagen und Schaltungsbeschreibung), so daß ich höchstwahrscheinlich Platine und Handbuch bei unserem Treffen 'ausliefern' kann. Bezüglich Bauteilbestellung bestehen noch zwei Probleme: Erstens kann Zilog den schnellen Prozessor noch nicht in Stückzahlen liefern (Serienanlauf 3Q90), zweitens machen inzwischen so viele Leute mit, daß ich beim Einkauf der Bauteile einen erheblichen Vorschuß zahlen muß (die Schecks decken eben nur einen Teil der Materialkosten). Ich denke, auf die Prozessoren sollten wir warten (deswegen habe ich auch sonst noch keine Bauteile gekauft), und die Schecks werde ich nicht erst bei Auslieferung, sondern bereits beim Einkauf der Teile einlösen. Außerdem sollten wir den Vorauszahlungsanteil noch etwas erhöhen. Ihr könnt Euch selbst ausrechnen, wieviel das Material für gut 20 Rechner kostet...

Das Software-Handbuch, welches meine CP/M-3-Implementation beschreibt und auch detaillierte Angaben zu den verschiedenen Parametern und Mechanismen enthält, muß noch geschrieben werden. Damit werde ich aber erst nach weitgehender Fertigstellung des BIOS beginnen. Früh genug für Eure Inbetriebnahme unter CP/M, aber nicht früh genug für unser Treffen.

Nun aber zum Wesentlichen: Unser Treffen findet am Samstag, dem 21.7. bei mir in Siegen statt. Es beginnt mittags um 12 Uhr und wird vermutlich bis in den frühen Abend dauern (Ihr sollt Gelegenheit haben, noch am Samstag nach Hause zu kommen). Um die Mittagsverpflegung möchte ich mich nicht kümmern. Ihr solltet also etwas gegessen haben, wenn Ihr hier ankommt. Kaffee und Kuchen nachmittags werde ich stellen.

Ein sehr wesentlicher Aspekt unseres Treffens ist das persönliche Kennenlernen. Außerdem wollt Ihr natürlich alle die CPU280 in Aktion sehen. Aus Zeitgründen können wir aber nicht auf jedes Detail stundenlang eingehen, deswegen werde ich ein paar der besonderen Funktionen (Bootlader, AutoFormat, Diskwechsel, FormatManager) vorführen und ein bißchen über das zukünftig Geplante berichten. Ihr solltet Euch ein bißchen darauf vorbereiten und auch Eure Fragen und Wünsche schon vorher überlegen, so daß die kurze Zeit hier auch gut genutzt wird. Übrigens wird Günther Schock sein LCD-Terminal mitbringen, das können wir uns dann (vielleicht an der CPU280?) auch einmal ansehen.

Ich bitte **dringend** darum, daß jeder von Euch, der an diesem Treffen teilnehmen möchte, sich so **ald wie eben möglich verbindlich anmeldet**. Hierzu reicht ein kurzer Anruf oder eine Nachricht auf meinen elektronischen Telefonknecht (wenn ich nicht da bin).

Hier noch kurz eine Wegbeschreibung, schließlic sollt Ihr auch zu mir finden:

A45 Abfahrt Siegen/Netphen, noch auf dem Zubringer rechts Richtung Dreisbach-Siedlung. Am Stop-Schild rechts, ca. 1 km durch eine 'Zone 30', noch etwa 1 km bis diese Straße in eine andere einmündet (vorher geht's gut ausgebaut einen Berg hoch). An dieser Einmündung scharf links auf die Hauptstraße abbiegen, wieder ca. 1 km weiter zu Beginn einer großen Linkskurve geht geradeaus eine kleinere Straße ab. Dort hinein ('In der Großenbach'), die nächste Straße rechts, bei den beiden folgenden 'Gabeln' erst rechts, dann links, und dann einfach bis zum letzten Haus durchfahren. Das isses. Hier noch einmal die vollständige Adresse:

Tilmann Reh,

Alles weitere dann mündlich beim Treffen (Ihr dürft natürlich auch vorher anrufen, wenn noch etwas unklar ist).

Bis dahin viele Grüße, Tilmann (020790)

1. Allgemeines

Die vorliegende Version des Betriebssystems ist eine zwar voll funktionfähige, aber noch nicht voll ausgebaute Beta-Version. Deswegen bitte ich, beim Auftreten irgendwelcher Fehler diese genau zu lokalisieren und zu beschreiben, damit sie in späteren Versionen behoben werden können. Auch konkrete Verbesserungsvorschläge und Ideen sind willkommen.

Das Betriebssystem ist modular aufgebaut, so daß Anpassungsarbeiten an die jeweilige Umgebung normalerweise nur wenige Module betreffen dürften (Schnittstellen und Laufwerke). Mit Rücksicht auf spätere Updates meinerseits empfehle ich jedem, in den von mir gelieferten Quelltexten möglichst wenige Änderungen durchzuführen und diese genau zu protokollieren. Erweiterungen meiner Programme sollten in eigenen Modulen bzw. als Include-Dateien realisiert werden.

Globale Deklarationen sind in zwei LIB-Dateien enthalten, getrennt nach Prozessor (Z280EQU.LIB) und CPU280-Karte bzw. -System (CPU280.LIB). Diese beiden Dateien sind in alle BIOS-Module eingebunden.

Die Software ist auf die Umgebung innerhalb meines Systems angepaßt, d.h. sie unterstützt außer den Funktionen der CPU-Karte auch die dort vorhandenen Schnittstellenkarten. Anhand der Treiberroutinen kann deren Ansteuerung ersehen werden; u.U. lassen sich durch wenige Änderungen andere Karten verwenden.

2. Bootlader

Nach einem Reset wird zunächst anhand der Echtzeituhr die Taktfrequenz des Prozessors ermittelt. Ist die Echtzeituhr nicht ansprechbar, wird eine Frequenz von 12.288 MHz angenommen. Danach wird die Konsolenschnittstelle initialisiert (entsprechend den Werten im Setup; bei Inbetriebnahme $8 + n + 1$ mit 9600 Baud, ohne Handshake) und eine Startmeldung ausgegeben. Daran schließt sich der RAM-Test an, der den gesamten adressierbaren Speicher auf Beschreibbarkeit untersucht (zerstörungsfrei). Hierbei wird gleichzeitig die vorhandene Kapazität ermittelt. Verlieft der RAM-Test fehlerfrei, so wird der Bootlader ins RAM kopiert und dort gestartet. Die auf der Karte befindlichen LED's zeigen den Zustand des Rechners während dieser Operationen an. Nach Reset leuchten zunächst (hardwaremäßig) alle LED's. Unmittelbar darauf wird eine LED gelöscht, die zweite nach Erkennung der Taktrate und die dritte nach erfolgreichem Ablauf des RAM-Test. Weitere Hardware-Tests sind vorgesehen, aber derzeit noch nicht implementiert. Im Allgemeinen (d.h. greift man nicht in den Bootvorgang ein) wird das gesamte Betriebssystem aus dem EPROM heraus gebootet, wobei die Einstellungen aus dem NVRAM verwendet werden.

Hat sich die Prüfsumme des EPROM's seit dem letzten Booten geändert, oder wurde während des RAM-Test die DEL-Taste betätigt, so wird vor dem Bootvorgang das Setup aufgerufen, in dem alle Einstellungen des NVRAM geändert werden können. Hierzu gehören z.B. die angeschlossenen Laufwerke und -typen, die Einstellungen der beiden Schnittstellen, das Bootlaufwerk und die 'Drive Search Chain'.

Drücken der Leertaste während des RAM-Test verhindert das Löschen der RAM-Disk(s) beim Booten, durch Betätigen von ESC wird statt aus dem EPROM von Diskette gebootet (Bootlaufwerk wurde im Setup angegeben, Default ist A:).

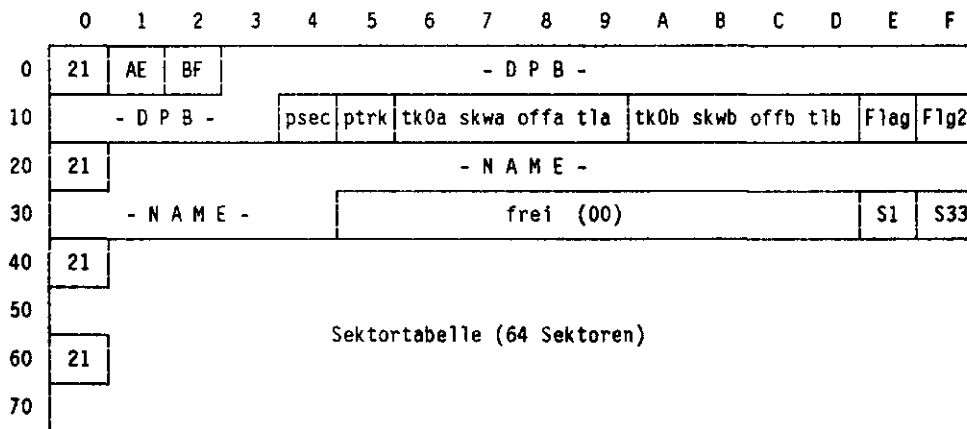
Da verschiedene Konsolenschnittstellen zur Verwendung kommen können und während der ersten Meldungen des Bootladers (und zur Initialisierung) noch kein RAM verwendet werden darf (noch nicht getestet!), sind die benötigten Funktionen Initialisieren, Zeicheneingabe und -ausgabe als Macros in einer eigenen Include-Datei (LDRIO.LIB) abgelegt. Die von mir gelieferten Macros benutzen die MPU-interne serielle Schnittstelle. Zum Ansteuern anderer Schnittstellen sind entsprechende Macros selbst zu erstellen, wobei nur die im Quelltext ausdrücklich freigegebenen Register verwendet werden dürfen.

3. AutoFormat-System

Sowohl Bootlader als auch Betriebssystem verfügen über eine AutoFormat-Funktion, d.h. passen sich an das aktuelle Diskettenformat an. Hierzu befindet sich auf der Diskette in Spur 0, Sektor 1 ein 128 Byte großer Parameterblock, der das physikalische und logische Diskettenformat vollständig beschreibt.

Wird ein Diskettenwechsel festgestellt, so wird beim nächsten Zugriff zunächst versucht, diesen Parameterblock zu lesen. Treten dabei Fehler auf, oder enthält die Diskette keinen Parameterblock, so werden die Werte vom zuletzt bearbeiteten Format weiterverwendet. Die Default-Einstellung wird im Lader-BIOS bzw. im Tabellen-Modul festgelegt und muß das größtmögliche zu bearbeitende Format beschreiben, da die Größe der Directory-Puffer und der Allocation-Vektoren beim Generieren eines Systems durch GENCPM automatisch anhand der Diskettenparameter eingestellt werden. In der von mir ausgelieferten Version ist hier das Format 'Reh-CP/M 3 V2.1' mit 400 Blocks, 256 Directory-Einträgen und 1024 Byte großen Sektoren eingetragen. Derzeit wird während der AutoFormat-Bearbeitung nicht überprüft, ob die angelegten Puffer groß genug für das gewählte Format sind; deswegen werden Fehler hier unweigerlich zu Abstürzen führen.

Der Parameterblock auf Diskette hat den folgenden Aufbau:



Aufbau des Bit-Flags (Position 1Eh):

- Bit 7,6 : Density 00 = FM, 01 = MFM, 11 = HD
- Bit 5,4 : reserviert
- Bit 3 : Daten invertiert
- Bit 2 : Multi-Sector-I/O möglich
- Bit 1,0 : Überlauf 00 = keiner (einseitig)
- 01 = Sektor, 10 = Spur, 11 = Halbspur

Die Angaben in den 4-Byte-Feldern 'tk0 skw off t1' beschreiben die Spurabfolge bzw. Spurübersetzung. Da allerdings nicht alle Spurübersetzungen auf diese Weise parametrisierbar sind, wird noch nach anderen Methoden gesucht, so daß an dieser Stelle Änderungen der Parameterblockdefinition wahrscheinlich sind. Für sachdienliche Hinweise bin ich jederzeit dankbar.

4. System-Generierung

Zunächst müssen die BIOS-Quelltexte assembliert werden. Da es sich um echte Z280-Quelltexte handelt, muß zunächst eine Vorbehandlung durch PRE280 erfolgen. Dieses Programm erzeugt einen Zwischen-Quelltext (.MAC) und setzt die Z280-Anweisungen darin in Z80-Befehle und DB/DW-Pseudobefehle um. Diese Zwischendatei kann dann von einem normalen Z80-Assembler bearbeitet (und danach gelöscht) werden. Die Submit-Datei

ASM verbindet diese beiden Aufrufe.

PRE280 ist ein freies Programm von Axel 'Fifi' Zinser und liegt bei. Allerdings dürfen ohne seine ausdrückliche Zustimmung keine Änderungen daran gemacht und weitergegeben werden.

Zum Erzeugen einer neuen System-Datei (CPM3.SYS) sind zunächst die Module des BIOS zu einer 'SPR'-Datei (System Page Relocatable) zusammenzubinden. Dies muß mit dem DRI-Linker LINK erfolgen, da nur dieser korrektes SPR-Format erzeugt. Danach ist mit GENCPM unter Verwendung der BDOS-SPR-Dateien die Systemdatei zu erstellen. GENCPM verwendet hierbei zunächst die Einstellungen aus GENCPM.DAT, wobei man die gewählten Puffergrößen frei nach eigenem Geschmack verändern kann.

Aufgrund einer ungünstigen Programmierung des residenten BDOS beim Zugriff auf die Hash-Tabellen darf aber unter keinen Umständen das Hashing für irgendein Laufwerk aktiviert werden! Die Bank-Umschaltung meines BIOS unterstützt diese Art Zugriffe nicht und es kommt zwangsläufig zu Abstürzen. Später wird es von mir ein geändertes residentes BDOS geben, welches Hashing erlaubt und darüberhinaus eine etwa 1k größere TPA bietet.

Das Linken des BIOS und der Aufruf von GENCPM sind in der Submit-Datei GEN zusammengefaßt. Hier kann auch die Reihenfolge der Module beim Linken ersehen werden.

Der Bootlader wird nur aus den Teilen Lader-BIOS, Lader-DOS und Setup gelinkt. Als Ergebnis entsteht eine normale Objektcode-Datei (COM oder CIM). Dieser Linker-Aufruf (ich verwende SLRNK) ist in der Submit-Datei GENL untergebracht.

Soll das erzeugte System aus dem EPROM gebootet werden, so kann man aus den Dateien LOADER.CIM, CCP.COM und CPM3.SYS mit Hilfe des Programms GENEPR eine Datei SYSTEM.EPR erzeugen. Diese enthält die genannten drei Dateien des Betriebssystems an bestimmten Adressen, passend für den Bootlader. Zum Programmieren der EPROM's muß sie allerdings noch durch SPLIT16 in gerade (EVN) und ungerade (ODD) Hälfte aufgeteilt werden. Die Pascal-Quelltexte von GENEPR und SPLIT16 liegen bei.

5. Fehlerbehandlung

Treten bei Diskettenoperationen Fehler auf (Time-Out, Schreib-/Lesefehler oder CRC-Fehler), so wird ähnlich wie bei MS-DOS eine Fehlermeldung ausgegeben und eine Eingabe abgewartet, bei der man zwischen Abbruch, Ignorieren und Wiederholen wählen kann. Die Wiederholen-Funktion arbeitet leider noch nicht unter allen Umständen fehlerfrei, es kann daher zu einem 'harten' Fehler bei der FDC-Ansteuerung kommen. In diesem Fall (Meldung DIO-Error 2) hilft nur noch Reset. An der Beseitigung wird gearbeitet.

Treten Fehler innerhalb der CPU auf (Traps, z.B. bei Division durch Null oder beim Versuch, einen privilegierten Befehl auszuführen), so wird eine entsprechende Fehlermeldung ausgegeben und der Kommandoprozessor gestartet. Man befindet sich also wieder auf der Betriebssystem-Ebene.

Auch lassen sich Programme z.B. aus Endlosschleifen recht einfach mit NMI abbrechen, hier wird (ohne weitere Meldung) ebenfalls der Kommandoprozessor gestartet.

6. Format-Manager

Der Format-Manager dient zur Verwaltung der verschiedenen Formate im Zusammenhang mit dem AutoFormat-System. Er ist ebenfalls modular aufgebaut, aber in Turbo-Pascal programmiert. Die Bedienung erfolgt menügesteuert, so daß keine ausführliche Anleitung erforderlich ist. Sämtliche Informationen über die Formate werden in der Datei FORMAT.DAT abgelegt, welche bei Aufruf des Programms zunächst auf dem Default-Laufwerk, dann auf A: gesucht wird. Ändert man Formatdefinitionen oder fügt neue hinzu, so wird die Datei erst dann geschlossen, wenn der Format-Manager verlassen wird. Die Diskette mit der Formatdaten-Datei darf also zwischendurch auf keinen Fall gewechselt werden.

Die Verwaltung der Formatdaten beschränkt sich auf ein sinnvolles Minimum. Daher können Formate nicht beliebig wieder gelöscht oder umsortiert werden, sondern es können nur vorhandene Formatdefinitionen geändert oder neue hinzugefügt werden. Deswegen ist es sinnvoll, zum Ausprobieren fremder Formate immer dieselbe Formatnummer zu verwenden, damit die Datei nicht unnötig groß wird.

Eine formatierte Tabelle aller definierten Formate läßt sich vom Format-Manager ausgeben. Der Drucker sollte hierzu vorher auf Schmalschrift eingestellt werden, da etwa 120 Zeichen pro Zeile gedruckt werden. Aufgrund verschiedener Ansteuerung der diversen Drucker erfolgt diese Einstellung nicht durch den Format-Manager.

7. Bevorzugte Formate

Zu bevorzugen sind alle Formate, welche auf legalem und möglichst einfachem Wege eine optimale Disketten-'Performance' erzielen. Dies bedeutet für die einzelnen Parameter:

- Sektorgröße möglichst 1k, Sektoranzahl maximal,
- Physikalischer Skew 1,
- logischer Skew 1 bei Multi-Sector-I/O, ansonsten 2,
- Null Offsetsuren
- bei 2 Seiten: Sektor- oder Halbspurüberlauf
- Blockgröße möglichst 2k, evtl. 4k (bei großen Kapazitäten)

Bei Unklarheiten bitte ich, den Uwe Herczeg oder mich anzusprechen, damit nicht auch unter uns die Formatvielfalt unsinnig groß wird.

Vorschläge zur Gestaltung des noch zu erstellenden Software-Handbuch (Sowie evtl. Änderungswünsche zum Hardware-Handbuch) sind zwang- und formlos an mich zu richten.

TR 231090

C P U 2 8 0

HARDWARE-HANDBUCH

Stand 210690 TR

Inhaltsverzeichnis

1. Überblick	3
2. Schaltungsbeschreibung	3
2.1 Reset, CPU und Adreßräume	3
2.2 EPROM	4
2.3 DRAM, Burst-Mode	4
2.4 ECB-Interface und I/O-Timing	5
2.5 Echtzeituhr und NV-RAM	6
2.6 Floppycontroller	6
2.7 Serielle Schnittstellen	7
2.8 General-Purpose-I/O (GPIO)	7
3. Bestückung, Inbetriebnahme	7
4. Verwendung der Steckbrücken (Jumper) und Lötbrücken	8
A1. Stückliste	9
A2. Steckerbelegungen	10
A3. GAL-Programmierung	12
A4. Organisation Adreßräume Speicher/IO	14
A5. Schaltbild	15
A6. Bestückungsplan	16
A7. Timing-Diagramme Speicherzugriffe, ECB-Bus	17

1. Überblick

Die CPU280 stellt einen vollständigen Computer im Einfach-Europaformat (100x160 mm) dar. Die CPU280 ist dafür konzipiert, alle Leistungen des Prozessors Z280 bei minimalem technischem Aufwand möglichst optimal auszunutzen. Funktionen, die zwar möglich wären, aber in der Praxis kaum genutzt werden, wurden daher zugunsten einer einfachen und klaren Struktur bewußt nicht realisiert. Aufgrund der vollständigen Kompatibilität des Z280 zum Z80 kann bestehende Software (z.B. unter CP/M) weiterverwendet werden. Zukünftige Software kann von der größeren Leistung und dem umfangreicheren Befehlssatz des Z280 profitieren.

Auf der Karte befinden sich zwei EPROM's mit insgesamt 64 oder 128 KB Kapazität, 512 KB bis 4 MB dynamisches RAM, eine Echtzeituhr mit integriertem batteriegepuffertem RAM, ein Floppycontroller für bis zu vier Laufwerke, sowie zwei serielle Schnittstellen nach V.24. Die Verbindung nach außen erfolgt über ein ECB-Bus-Interface, welches Zugriffe auf externe I/O-Baugruppen ermöglicht. Darüberhinaus stehen noch drei durch Software einlesbare Steckbrücken und drei LED's zur Verfügung (z.B. zur Systemkonfiguration und für 'harte' Fehlermeldungen).

In der CPU280 wird der Z280 bei größtmöglichem Durchsatz betrieben, d.h. mit 16-Bit-Bus (Z-Bus), Taktverhältnis 1:1 (externer Takt gleich interner Takt), keine Wait-States, Taktfrequenz bis zu 12.5 MHz. Da der ECB-Bus bei dieser hohen Frequenz nicht mehr arbeitet und auch keine Peripherie-IC's für 12 MHz erhältlich sind, werden I/O-Zugriffe mit 4 Wait-States gebremst und das Bus-Timing entsprechend gestreckt. Der Bustakt beträgt dabei nur noch die Hälfte des CPU-Taktes (6 MHz).

Das Schaltungskonzept der CPU280 ist extrem geradlinig und die Timing-Steuerung arbeitet vollständig synchron. Dadurch wird eine hohe Zuverlässigkeit, Unabhängigkeit gegenüber Charginstreuungen und Temperatureinflüssen, aber auch eine einfache Fehlersuche garantiert. Die Leiterplatte ist in einfacher Zwei-Lagen-Technik realisiert, wodurch unnötige Kosten vermieden werden.

Die CPU280 wird mit einer Spannung von 5 V betrieben, weitere Spannungen sind nicht erforderlich. Der Stromverbrauch der Karte liegt bei etwa 350 mA.

2. Schaltungsbeschreibung

2.1 Reset, CPU und Adreßräume

Auf der CPU280 sorgt ein Spannungswächter (IC5) für ein sicheres Reset-Signal, solange (oder sobald) die Betriebsspannung unter 4.6 V absinkt. Über den ECB-Bus kann die Karte durch Aktivieren des Reset-Einganges ebenfalls zurückgesetzt werden. Das Reset-Signal steht in gepuffert Form am ECB-Pin 'Reset-Out' für weitere Karten zur Verfügung.

Die Konfiguration der kritischen CPU-Timingparameter kann beim Z280 nur während des Reset erfolgen. Dazu muß bei der steigenden Flanke von /RESET das /WAIT-Signal anstehen, gleichzeitig die gewünschte Konfiguration (für das Bus Init Register) am Datenbus D0..D7. Bei der CPU280 wird dies durch die Schaltung um IC32A und T1 erreicht, wobei die Steckbrücken J1..J4 und die Widerstandsnetzwerke RN2, RN6 und R4..R7 die entsprechenden Daten bereitstellen. Mit Hilfe der Brücken J1..J4 kann die Anzahl der Wait-States für das EPROM sowie das CPU-Taktverhältnis (intern/extern) eingestellt werden. Die übrigen auf diese Weise einstellbaren Parameter sind für die CPU280 unerheblich und deswegen nicht durch Steckbrücken zugänglich gemacht.

Der Systemtakt wird von der CPU durch den internen Quarzoszillator erzeugt. Die Frequenz dieses Taktes richtet sich nach der verwendeten CPU, sollte aber immer ein Vielfaches von 2.4576 MHz betragen, damit die CPU-interne serielle Schnittstelle mit einer Standard-Baudrate betrieben werden kann. Damit ergeben sich Taktfrequenzen von 9.8304 MHz oder 12.288 MHz (für die 10-MHz- bzw. 12.5-MHz-CPU). Sollten schnellere Versionen des Z280 erscheinen, so sind J1 und J2 auf eine Taktuntersetzung von 1:2 zu stecken. Dadurch kann ein CPU-Takt von maximal 25 MHz erreicht werden, wobei die restliche Karte weiter mit 12.5 MHz arbeitet.

Die nicht kartenintern verwendeten CPU-Signale (DMA- und Timer-Steuersignale) sind auf kleine Lötbrücken geführt, welche für die Eingänge bereits mit Masse vorverbunden sind. Auf diese Weise bleiben keine CMOS-Eingänge unbeschaltet, und die Signale können an den Lötbrücken leicht identifiziert und abgegriffen werden, um sie z.B. über spezielle Leitungen an externe Peripherie zu führen.

Durch die interne MMU (Speicherverwaltung) verfügt der Z280 über einen Speicher-Adreßraum von insgesamt 16 MB, wobei für die beiden Hälften zu 8 MB jeweils einige Timing-Parameter unabhängig voneinander eingestellt werden können. Da nach einem Reset der Prozessor bei Adresse 0 mit der Programmausführung beginnt, wird die untere 8-MB-Hälfte vom EPROM belegt. Die obere Hälfte (ab 800000h) adressiert das auf der Karte befindliche dynamische RAM.

Der I/O-Adreßraum des Z280 ist ebenfalls 16 MB groß, wobei die oberen 8 Adreßbits vom 'I/O Page Register' gestellt werden. Die unteren 16 Adreßbits werden wie beim Z80 aus den CPU-Registern gebildet. Da alle I/O-Befehle offiziell nur 8 Adreßbits benutzen, werden auch auf der CPU280 bei allen I/O-Zugriffen die mittleren 8 Adreßbits (A8 bis A15) nicht dekodiert, d.h. ignoriert. Über die I/O-Page kann dann zwischen verschiedenen I/O-Gruppen gewählt werden, in denen jeweils 256 Adressen angesprochen werden können.

Die Busbreite des Z-Bus beträgt bei Speicherzugriffen 16 Bit und bei I/O-Zugriffen 8 Bit. Deswegen kann 8-Bit-Peripherie uneingeschränkt verwendet werden, obwohl der karteninterne Bus (zumindest für Speicher) 16 Bit breit ist.

Weitere Einzelheiten zum Z280 selbst, insbesondere Möglichkeiten und Programmierung der internen Bausteine, sind dem Datenblatt sowie dem 'Technical Manual' zu entnehmen.

2.2 EPROM

Das auf der Karte befindliche EPROM ist durch IC9 und IC10 realisiert. Es ergibt sich damit eine Kapazität von 32K x 16 Bit (d.h. 64 KB, bei Verwendung von 27C256) oder 64K x 16 Bit (128 KB, bei Verwendung von 27C512). Der verwendete Typ kann durch die Steckbrücke J5 gewählt werden. Mischbestückung und andere EPROM-Typen sind nicht vorgesehen.

Das EPROM belegt die physikalischen Adressen 000000-00FFFFh bzw. 000000-01FFFFh. Da keine weitere Dekodierung der höherwertigen Adreßleitungen erfolgt, tritt eine 'Adreßspiegelung' auf: das EPROM ist innerhalb der unteren 8 MB insgesamt 128 bzw. 64 mal erreichbar.

Da auf das EPROM üblicherweise nur beim Booten einmal kurz zugegriffen wird (um den Inhalt ins RAM zu übertragen), können hier problemlos Wait-States eingefügt werden, so daß die Zugriffszeit der EPROMs unkritisch ist. Die preiswerten 200- oder gar 250-ns-Typen sind hier völlig ausreichend. Bei maximaler Taktfrequenz (12.5 MHz) können 150-ns-Speicher ohne Wait-States, 200-ns-Typen mit einem und 250-ns-Typen mit zwei Wait-States betrieben werden. Die Anzahl der Wait-States für den EPROM-Bereich kann mit den Steckbrücken J3 und J4 eingestellt werden.

2.3 DRAM, Burst-Mode

Das dynamische RAM (IC11 bis IC18) bildet den Arbeitsspeicher der CPU280. Es können verschiedene Konfigurationen bestückt werden. Die verwendbaren RAM-Typen sind 1-MB-Chips und 4-MB-Chips der Organisation 256K x 4 bzw. 1M x 4 (Typen 514256 und 514400). Aus Platzgründen sowie wegen der Verfügbarkeit pinkompatibler Typen kommen RAMs im ZIP-Gehäuse zum Einsatz.

Die Mindestbestückung besteht aus vier 514256 (IC11..IC14), wodurch sich eine Kapazität von 512 KB ergibt. Standardmäßig werden acht dieser Speicher bestückt (1 MB). Darüberhinaus ist der Ausbau auf 2 MB und 4 MB möglich (4 bzw. 8 514400). Beim Wechsel der RAM-Typen ist die Programmierung von IC22 zu ändern. Das RAM belegt die physikalischen Adressen ab 800000h, bei Maximalausbau bis BFFFFFFh.

Die RAMs sollten Zugriffszeiten von 80 ns haben, um einen sicheren Betrieb bei maximalem Takt zu gewährleisten. Das RAM wird übrigens grundsätzlich ohne Wait-States betrieben. Es ist wegen der Timing-Steuerung für den Burst-Mode auch nicht erlaubt, Wait-States für die RAM-Zugriffe zu deklarieren.

Der Z280 verfügt über die Möglichkeit, beim Laden von Befehlen aus dem externen Speicher in den internen Cache (Opcode Fetch) mit einer speziellen Zugriffsart den Datentransfer zu beschleunigen. Hierzu wird zunächst ein normaler Speicherzugriff begonnen, bei dem aber der Inhalt von vier Speicherworten in vier aufeinanderfolgenden Taktzyklen (als 'Burst') übertragen werden, ohne weitere Adreßinformation von der CPU. Diese Zugriffsart (der Burst-Mode) ist etwa doppelt so schnell wie das Lesen einzelner Speicherworte. Für die Ausnutzung derartiger Mechanismen existieren spezielle RAM-Typen (Nibble-Mode-RAMs), welche bei aufeinanderfolgenden Zugriffen innerhalb einer Speicherzeile selbständig auf vier aufeinander folgende Adressen zugreifen. Da diese RAMs aber nicht in 4 Bit breiter Organisation verfügbar sind (und ansonsten immer mindestens 16 RAM-Chips nötig wären), erfolgt die Adreßberechnung bei der CPU280 außerhalb der RAMs durch eine entsprechende Hardware. Die RAMs werden dabei im 'Fast Page Mode' betrieben (Standard-Betriebsart) und erhalten bei jedem weiteren Zugriff die neue Adresse und einen CAS-Impuls. Dadurch ist es möglich, mit wenigen preiswerten Standard-RAMs die gleiche Leistung (bei größerer Flexibilität) zu erreichen wie mit vielen teuren Spezial-RAMs.

Das gesamte Timing für die dynamischen RAMs wird synchron erzeugt, d.h. einzig vom Prozessortakt gesteuert. Hieraus resultiert eine sehr große Betriebssicherheit auch bei stark schwankenden Umgebungsbedingungen (z.B. Temperatur, Betriebsspannung), sowie ein völlig abgleichfreier Betrieb. Lediglich die Dauer des CAS-Pulses im Burst-Mode wird durch eine Laufzeit erzeugt und kann durch Ändern von C6 optimiert werden (die Pulsdauer ist einfach zu kurz für eine synchrone Erzeugung).

2.4 ECB-Interface und I/O-Timing

Das ECB-Interface besteht im wesentlichen aus den Treibern für Daten-, Adreß- und Steuerbus (IC6 bis IC8), sowie der Takterzeugung mit IC4A. Grundsätzlich unterstützt dieser ECB-Anschluß nur I/O-Zugriffe, da Speicherzugriffe mit 16 Bit Breite bei 12.5 MHz dort schlicht unmöglich sind. Der Aufbau eines Interface zur Anpassung der Speicherzugriffe auf den ECB-Bus ist zwar möglich, aber recht aufwendig. Außerdem ist die Speicherkapazität der Karte bei vollem Ausbau wohl für alle Anwendungen ausreichend.

Es werden dementsprechend nur die Signale auf den Bus geführt, die dort für I/O-Zugriffe benötigt werden. Die Interrupt-Eingänge der CPU werden ungepuffert (aber mit Pull-Up) angeschlossen. Die ständig inaktiven Signale (/MRQ und /BUSAK) sind über normalerweise offene Lötbrücken auf VCC gelegt, so daß bei Fehlen einer geeigneten Bustermिनierung diese Signale einen definierten Pegel erhalten können. Für externe Karten, welche dynamische Speicher enthalten (z.B. RAM-Disks) steht weiter ein Refresh-Signal zur Verfügung. Dieses wird alle 15.6 μ s für die Dauer eines Speicherzyklus aktiv (240 ns bei 12.5 MHz), entsprechende Programmierung des CPU-internen Refresh-Controllers vorausgesetzt.

Die Ansteuerung externer I/O-Karten über den ECB-Bus erfolgt durch eine eigene I/O-Page des Z280, so daß der volle I/O-Adreßraum des Prozessors zur Verfügung steht. Aufgrund Platzmangels sowie des offiziellen I/O-Adreßraumes der Z80-Familie sind aber nur die unteren 8 Adreßbits (A0 bis A7) auf den Bus geführt, was zu 256 nutzbaren Adressen auf dem ECB-Bus führt. Dies dürfte wohl in den allermeisten Fällen mehr als genug sein.

Bei I/O-Zugriffen müssen generell 4 Wait-States eingefügt werden, um dem Bustiming gerecht zu werden. Dabei wird der CPU-Takt durch IC4A auf die Hälfte geteilt, um den Bus-Takt zu erzeugen. Dieser wird zu Beginn eines Zugriffs (durch /AS) so synchronisiert, daß die zeitliche Abfolge von Bustakt und Steuersignalen der des Z80 bei 6 MHz entspricht. Diese Synchronisation ist nötig, da manche Z80-Peripheriebausteine sonst nicht korrekt arbeiten (z.B. Z80-PIO).

Interrupts von ECB-Karten werden durch die CPU280 voll unterstützt. Die /INT-Leitung

des Bus wird auf den INTA-Eingang des Prozessors geführt und ist dort vektorisierbar. Die Interruptquellen auf der Karte belegen eigene INT-Eingänge, so daß der ECB-Bus-Interrupt auch unabhängig von den anderen Quellen geschaltet werden kann. Der Interrupt-Acknowledge-Zyklus weist durch Wait-States ebenfalls ein 6-MHz-Z80-Timing auf. Da der RETI-Zyklus als Speicherzyklus und somit für den Bus zu schnell abläuft, der Z80 im bevorzugten Interrupt-Mode 3 einen speziellen RETI-Befehl verwendet und darüberhinaus auch kein M1-Signal auf dem Bus dabei erzeugt wird, muß für den Bus ein langsamer Z80-RETI-Zyklus extra erzeugt werden. Dieser besteht aus zwei aufeinander folgenden Zugriffen jeweils mit /M1 und /RD aktiv sowie /IORQ inaktiv, bei denen auf dem Datenbus die Bytes EDh und 4Dh anliegen. Diese Signale werden auf der CPU280 durch Zugriffe auf eine spezielle I/O-Page erzeugt, bei denen die M1-Leitung des Bus aktiviert wird. Das Auslesen zweier Speicherzellen im NVRAM der Echtzeituhr (die natürlich die gewünschte Information beinhalten müssen) führt dann zu den richtigen und langsamen (/I/O-Zugriff!) Signalen auf dem Bus. Auf diese Weise wird auch im Interruptbetrieb echte Bus-Kompatibilität zum 6-MHz-Z80 erreicht.

2.5 Echtzeituhr und NV-RAM

Als Echtzeituhr wird das IC DS 1287 A von Dallas verwendet (IC27). Dieses beinhaltet außer der eigentlichen Echtzeituhr mit Alarm und Kalender noch einen programmierbaren Rechteck/Interruptgenerator sowie 50 Byte nichtflüchtigen Speicher ('NVRAM'). Darüberhinaus enthält es gleich die zum Betrieb notwendige Lithiumbatterie, so daß keine Versorgung über externe Batterie oder gar über den ECB-Bus notwendig ist (bei der der Inhalt verlorengehen würde, sobald die Karte vom Bus abgezogen wird!).

Durch die Steckbrücke J10 kann der Baustein (nur bei abgeschalteter Versorgungsspannung) einen internen Reset erhalten. Der Interrupt-Ausgang ist auf den Interrupt B der CPU geführt (zusammen mit der seriellen Schnittstelle IC31) und erhält innerhalb der CPU einen festen Vektor. Der Rechteckausgang des RTC wird auf ein Bit des GPI (siehe 2.8) geführt und kann dort abgefragt werden.

Für weitere Details zu den RTC-Registern und deren Programmierung sei auf dessen Datenblatt verwiesen.

2.6 Floppycontroller

Als Floppycontroller kommt der FDC 37 C 65 B (IC28) zum Einsatz, welcher ohne jede weitere Hardware die Schnittstelle zwischen CPU und Laufwerken bildet. Dieser Baustein enthält den eigentlichen FDC (765 Kern), zwei Taktoszillatoren, eine PLL für die Lesedaten sowie alle nötigen Leistungstreiber (48 mA) für das FDD-Interface. Es können bis zu vier Laufwerke angeschlossen werden, wobei Größe und Format beliebig sind. Alle Formate nach dem IBM-3740-Verfahren können bearbeitet werden. Sogar die Verwendung von nicht geschwindigkeitsumschaltbaren HD-Laufwerken (5¼ Zoll) für normale DD-Formate wird unterstützt (durch den zweiten Quarzoszillator mit 9.6 MHz). Der Floppycontroller wird durch die CPU-interne DMA0 bedient, wodurch die Realisierung eines Hintergrundprozesses für Floppyzugriffe möglich wird. Der FDC erzeugt Interrupts auf der INTC-Leitung der CPU, welche ausschließlich für den FDC verwendet wird. Die Belegung der Steckerleiste für die Floppylaufwerke (CN2) entspricht dem Standard für 3½- bzw. 5¼-Zoll-Laufwerke. Zur Verwendung von 8-Zoll-Laufwerken sind die entsprechenden Leitungen im Anschlußkabel zu vertauschen.

Da üblicherweise recht kurze Anschlußkabel verwendet werden, sind die FDD-Signale mit 330Ω statt mit 150Ω abgeschlossen. Dadurch wird weniger Strom für die 'Heizung' verwendet. Sollen längere Kabel verwendet werden, kann RN3 durch ein entsprechend niederohmigeres Exemplar ersetzt werden.

Zum Betrieb von 5¼-Zoll-HD-Laufwerken ist auf der CPU-Karte ein Transistor nachzurüsten, welcher bei Betätigung durch das GPO-Signal 'DRV' Pin 2 des Laufwerks (LOW DENSITY) auf Low-Pegel legt (einfacher invertierender Schalter mit NPN-Transistor). In diesem Fall ist die Verbindung vom FDC zu diesem Pin natürlich zu trennen.

2.7 Serielle Schnittstellen

Die CPU280 beinhaltet zwei serielle Schnittstellen nach V.24. Eine wird durch den CPU-internen UART gebildet, während die zweite durch einen 'Twenty-Pin-UART' (TPUART, IC31) auf der Karte realisiert ist. Letzterer stellt alle Signale für eine serielle 4-Draht-Schnittstelle zur Verfügung (zwei Daten- und zwei Handshakeleitungen), wogegen die CPU nur die Daten liefert. Daher müssen die Handshake-Signale für die CPU-interne Schnittstelle durch Einzelbit-I/O innerhalb des GPIO erzeugt werden.

Beide Schnittstellen sind interruptfähig. Der CPU-interne UART belegt innerhalb der CPU-Bausteine einen eigenen Interruptvektor, der TPUART kann über die INTB-Leitung (welche er mit dem RTC teilt) Interrupts auslösen.

Beide Schnittstellen unterstützen Baudraten von 50 bis 38400 Baud (bei der CPU entsprechender Takt vorausgesetzt), als Datenformate sind jeweils 7 oder 8 Datenbits, 1 oder 2 Stopbits, optional Parity even oder odd möglich.

Die Pufferung und Pegelumsetzung der Schnittstellensignale erfolgt im Treiberbaustein IC29 (LT 1134). Dieses IC beinhaltet jeweils vier V.24-Sender und -Empfänger sowie die zum 5-V-Betrieb benötigten Spannungswandler.

2.8 General-Purpose-I/O (GPIO)

Zur Realisierung verschiedener Einzelbit-I/O-Aufgaben dient das mit IC25 und IC26 aufgebaute 'GPIO'. Die Bit-Ausgabe (GPO) erfolgt durch ein adressierbares 8-Bit-Latch (IC25). Hierbei werden sowohl die Adreßeingänge als auch der Datenbit-Eingang an den Adreßbus angeschlossen. Dadurch kann durch Schreibzugriffe auf verschiedene Adressen (unabhängig von den Daten am Datenbus) jeweils ein Bit gesetzt oder rückgesetzt werden. Durch einen Reset werden alle Ausgänge auf 0 zurückgesetzt.

Vier der acht Ausgänge dienen verschiedenen Steuerungsaufgaben (Handshake für CPU-UART, Motorsteuerung für FDD, Signale für FDC), drei weitere Ausgänge steuern Leuchtdioden, welche z.B. zum Signalisieren von harten Fehlern dienen können. Ein Ausgang ist auf den Eingabeport rückgekoppelt. An dessen Signal kann nach einem 'Reset' festgestellt werden, ob dieser durch das Hardware-Signal RESET ausgelöst wurde oder nur durch einen Software-Einsprung in die Kaltstart-Routine.

Die Bit-Eingabe (GPI) erfolgt durch einen einfachen Bustreiber (IC26). Es werden außer dem Reset-Flag noch das CTS-Signal der seriellen Schnittstelle um den CPU-UART, das Rechtecksignal des RTC sowie drei durch den Anwender benutzbare Steckbrücken (J7 bis J9) eingelesen.

3. Bestückung, Inbetriebnahme

Die Bestückung der CPU280 erfolgt in der üblichen Reihenfolge: zunächst sollten die flachen Bauteile eingelötet werden, dann ist mit Bauteilen steigender Bauhöhe fortzusetzen. Beim Einbau der Quarze ist unbedingt eine isolierende Zwischenlage zu verwenden! Es eignen sich spezielle Kunststoff- oder Glimmerscheiben, zur Not läßt sich auch Gewebe-Tape verwenden. Da es für die ZIP-RAMs keine fertigen Sockel gibt, müssen zum Vermeiden direkten Einlötens SIL-Streifen verwendet werden. Die Bauhöhe der RAMs auf Sockelstreifen ist gerade klein genug, um die Platine in einen Standard-Einschub (4 TE) stecken zu können.

Der Stecker CN2 zum Anschluß der Floppylaufwerke kann wahlweise auf der Bestückungsseite (Bohrungen näher am Karteninneren) oder auf der Lötseite (näher am Kartenrand) angebracht werden. Dadurch ist es möglich, das Anschlußkabel entweder an der Lötseite oder an der Bestückungsseite vorbeizuführen (je nach Lage der CPU280 im 19-Zoll-Rahmen).

Für die Inbetriebnahme wird die CPU280 mit einem Test-Programm versehen (EPROMs), welches die vorhandene Hardware Stück für Stück testet und dabei Testinformationen über eine der seriellen Schnittstellen oder die LEDs auf der Karte abgibt. Nach Anlegen der Versorgungsspannung darf die vollbestückte Karte maximal 400 mA benötigen (am besten wird zunächst an einem Netzteil mit Strombegrenzung getestet). Einzelheiten zum Test-

programm sind dessen Beschreibung zu entnehmen.

Wie bereits erwähnt, ist ein Ausmessen der Dauer des CAS-Pulses im Burst-Mode empfehlenswert. Diese Zeit wird durch die Laufzeiten der GALs sowie das RC-Glied aus R8 und C6 bestimmt und sollte etwa 20 ns betragen. Gegebenenfalls ist C6 entsprechend zu verändern.

4. Verwendung der Steckbrücken (Jumper) und Lötbrücken

Auf der CPU280 befinden sich insgesamt 10 Steckbrücken, mit denen verschiedene Parameter (zur Systemkonfiguration) eingestellt werden können. Darüberhinaus existieren noch 12 Lötbrücken, mit denen optional bestimmte Signale mit festen Potentialen verbunden werden können. Die Brücken sind im Folgenden aufgeführt:

- J1,J2** Diese beiden Brücken bestimmen das Taktverhältnis der CPU (Verhältnis interner zu externer Takt). Hierbei gilt:
- | | | |
|-------------|-------------|----------------|
| J1 gesteckt | J2 gesteckt | Verhältnis 2:1 |
| J1 offen | J2 gesteckt | Verhältnis 1:1 |
| J1 gesteckt | J2 offen | Verhältnis 4:1 |
| J1 offen | J2 offen | verboten |
- J3,J4** Mit diesen beiden Brücken wird die Anzahl der Wait-States bei EPROM-Zugriffen wie folgt eingestellt:
- | | | |
|-------------|-------------|---------------|
| J3 gesteckt | J4 gesteckt | 0 Wait-States |
| J3 offen | J4 gesteckt | 1 Wait-State |
| J3 gesteckt | J4 offen | 2 Wait-States |
| J3 offen | J4 offen | 3 Wait-States |
- J5** Auswahl des EPROM-Typs:
 J5 in Richtung CPU: 27 C 256 (vorverbunden)
 J5 in Richtung RAM: 27 C 512
- J6** Prekompensation des FDC auf inneren Spuren:
 J6 gesteckt: 187 ns
 J6 offen: 125 ns
- J7,J8,J9** Durch GPI einlesbare Anwender-Konfigurationsbrücken
- J10** Interner Reset des RTC (nur bei abgeschalteter VCC)
- LJ1** Verbindung des ECB-Signals /MRQ mit VCC
LJ2 Verbindung des ECB-Signals /BUSAK mit VCC
LJ3..5 Verbindung CPU-Pin CTIO0..2 mit GND
LJ6..8 Verbindung CPU-Pin CTIN0..2 mit GND (vorverbunden)
LJ9..10 Verbindung CPU-Pin /DMASTB1, /DMASTB0 mit GND
LJ11..12 Verbindung CPU-Pin /RDY1..2 mit GND (vorverbunden)

A1. Stückliste

IC1		Z 280 MPU, 12.5 MHz (oder 10 MHz)
IC2,IC3		74 HCT 373
IC4		74 HCT 74
IC5		TL 7705
IC6,IC8		74 ACT 244 (oder ALS)
IC7		74 ACT 245 (oder ALS)
IC9,IC10		27 C 256 oder 27 C 512
IC11..IC18		514256-80 oder 514400-80 (ZIP)
IC19,IC20		74 ACT 158 (oder ALS)
IC21..IC24		GAL 16 V 8 Q-25
IC25		74 HCT 259
IC26		74 HCT 367
IC27		DS 1287 A (oder MK 48 T 87 A)
IC28		FDC 37 C 65 B (PLCC)
IC29		LT 1134
IC30		74 HCT 175
IC31		COM 81 C 17
IC32		74 HCT 14
T1		BC 547 B o.ä.
D1,D2,D3		LED 3 mm rot
Q1		24.576 MHz HC-18U (oder 19.6608 MHz)
Q2		16.000 MHz HC-18U
Q3		9.600 MHz HC-18U
Q4		5.0688 MHz HC-18U
C1,C2		10p ker. RM 5 (18p bei 19.6608 MHz Q1)
C3		10µ Ta. RM 2.5
C4		100n ker. RM 5
C5		1n ker. RM 5
C6		120p ker. RM 5 (am besten ausmessen)
C7		15p ker. RM 5
C8		47p ker. RM 5
C9		56p ker. RM 5
C10		68p ker. RM 5
C11..C14		1µ Ta. RM 2.5
CK1..CK27		25x 100n ker. RM 5, 2x 10µ Ta. RM 2.5
R1,R2		4 k 7
R3,R9,R10		1 k
R4..R7		3 k 3
R8		100 R
RN1		RSIL 5x 2 k 2
RN2,RN6		RSIL 4x 3 k 3
RN3		RSIL 5x 330 R
RN4		RSIL 5x 4 k 7
RN5		RSIL 3x 330 R (aus Einzelwiderständen)
CN1	ECB	VG-Leiste 64-pol. ac-bestückt (DIN 41612 C)
CN2	FDD	Pfosten 50-pol. (2x25), wahlweise auf Löt- oder Bauteilseite
CN3	V.24	Pfosten 20-pol. (2x10)
J1..J4		Pfosten 2x4, CPU-Init
J5		Pfosten 1x3, EPROM-Typ
J6..J9		Pfosten 2x4, FDC-Precomp und User-Jumper
J10		Pfosten 1x2, RTC-Reset

A2. Steckerbelegungen

Steckerbelegung CN1 (ECB-BUS):

a	Nr	c
+5V	1	+5V
D5	2	D0
D6	3	D7
D3	4	D2
D4	5	A0
A2	6	A3
A4	7	A1
A5	8	
A6	9	A7
/WAIT	10	
	11	IEI
	12	
	13	
	14	D1
	15	
2xCLK	16	IEO
	17	
	18	
	19	
/M1	20	/NMI
	21	/INT
	22	/WR
	23	
	24	/RD
	25	
	26	/RESOUT
/IORQ	27	
/RFSH	28	
	29	CLK
	30	(/MRQ)
(/BUSAK)	31	/RESIN
GND	32	GND

Steckerbelegung CN2 (Floppy-Laufwerke):

Maxi Mini	Signal	Umbelegung für 8"
(1..49 ungerade: GND)		
2	RWC/RPM	
4	MOTOFF	
6	MOTOFF	
8	MOTOFF	
10	nc	
12	DCHG	
14	SIDE SEL	
16	HDL	
18	2 RWC/RPM	HDL (16,20)
20	4 HDL	INDEX (24)
22	6 DS3	nc
24	8 INDEX	MOTOFF (4,6,8)
26	10 DS0	
28	12 DS1	
30	14 DS2	
32	16 MOTON	DS3 (22)
34	18 DIRECTION	
36	20 STEP	
38	22 WRITE DATA	
40	24 WRGATE	
42	26 TRKO	
44	28 WRPROT	
46	30 READ DATA	
48	32 SIDE SEL	(nc)
50	34 DCHG	(nc)

Steckerbelegung CN3 (V.24-Schnittstellen):

Belegung ermöglicht direktes Aufquetschen zweier DSUB-9, deren Pin-Nummern mit der DSUB-25 Belegung übereinstimmen.

1	1	GND	Masse (Schutzmasse 1) ¹
2	6	nc	
3	2	TXD 1	Sendedaten 1 ²
4	7	GND	Masse (Signalmasse 1)
5	3	RXD 1	Empfangene Daten 1 ³
6	8	nc	
7	4	RTS 1	Request-to-Send 1
8	9	nc	
9	5	CTS 1	Clear-to-Send 1
10	-	nc	
11	1	GND	Masse (Schutzmasse 2)
12	6	nc	
13	2	TXD 2	Sendedaten 2
14	7	GND	Masse (Signalmasse 2)
15	3	RXD 2	Empfangene Daten 2
16	8	nc	
17	4	RTS 2	Request-to-Send 2
18	9	nc	
19	5	CTS 2	Clear-to-Send 2
20	-	nc	

A3. GAL-Programmierung

TITLE CPU280 RAM-TIMING AND NIBBLEMODE IC21
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 12.06.1990

CHIP Z280RAM PALCE16V8

NCLK A3 A1 A2 A4 IE DS OE MQD GND
 QOE MUX WR MA0 MA1 NC1 NC2 MQA FFR VCC

EQUATIONS

$/WR = /OE * /DS$
 $MA0 := /MQA * A3 + MQA * /MUX * A1 + MUX * /MA0$
 $MA1 := /MQA * A4 + MQA * /MUX * A2 + MUX * MA0 + MUX * MA1$
 $/FFR = IE * DS * MQD$
 NC1 = GND
 NC2 = GND

TITLE CPU280 CAS-DECODER IC22
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 12.06.1990

CHIP Z280CAS PALCE16V8

CLK RW BW RFSH A0 A19 A20 A21 A22 GND
 MUX BRN NCK CAS1L NCLK CAS0H CAS0L MQA CAS1H VCC

EQUATIONS

$BRN = /RFSH$
 $NCLK = /CLK$

$/CAS0L = MUX * /RFSH * /A20 * /A19 * BW * A0$
 $+ MUX * /RFSH * /A20 * /A19 * /BW * CLK$
 $+ MUX * /RFSH * /A20 * /A19 * /BW * NCK$
 $+ MUX * /RFSH * /A20 * /A19 * /BW * /RW$
 $+ RFSH * /MUX * MQA$

$/CAS0H = MUX * /RFSH * /A20 * /A19 * BW * /A0$
 $+ MUX * /RFSH * /A20 * /A19 * /BW * CLK$
 $+ MUX * /RFSH * /A20 * /A19 * /BW * NCK$
 $+ MUX * /RFSH * /A20 * /A19 * /BW * /RW$
 $+ RFSH * /MUX * MQA$

$/CAS1L = MUX * /RFSH * /A20 * A19 * BW * A0$
 $+ MUX * /RFSH * /A20 * A19 * /BW * CLK$
 $+ MUX * /RFSH * /A20 * A19 * /BW * NCK$
 $+ MUX * /RFSH * /A20 * A19 * /BW * /RW$
 $+ RFSH * /MUX * MQA$

$/CAS1H = MUX * /RFSH * /A20 * A19 * BW * /A0$
 $+ MUX * /RFSH * /A20 * A19 * /BW * CLK$
 $+ MUX * /RFSH * /A20 * A19 * /BW * NCK$
 $+ MUX * /RFSH * /A20 * A19 * /BW * /RW$
 $+ RFSH * /MUX * MQA$

TITLE CPU280 SYSTEM-SIGNALS IC23
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 12.06.1990

CHIP Z280SYS PALCE16V8

ST3 ST2 ST1 ST0 AS DS A21 A22 A23 GND
 MQA MDA NAS ROM BIO M1 RFSH NNAS XIO VCC

EQUATIONS

NAS = /AS
 NNAS = NAS
 /ROM = ST3 * /A23
 MDA = ST3 * NNAS * A23 * /A22 * /A21
 + /ST3 * /ST2 * /ST1 * ST0 * NNAS
 + MQA
 RFSH = /ST3 * /ST2 * /ST1 * ST0
 /BIO = /ST3 * /ST2 * ST1 * /ST0 * /A23 * /A22 * /A21 * /DS
 + /ST3 * ST2 * /ST1 * /ST0
 /XIO = /ST3 * /ST2 * ST1 * /ST0 * /A23 * A22
 + /ST3 * /ST2 * ST1 * /ST0 * A23 * /A22
 /M1 = /ST3 * ST2 * /ST1 * /ST0
 + /ST3 * /ST2 * ST1 * /ST0 * A23 * /A22

TITLE CPU280 IO-ADRESS-DECODER IC24
 AUTHOR TILMANN REH
 COMPANY REHDESIGN
 DATE 12.06.1990

CHIP Z280IO PALCE16V8

NC NC XIO DS A6 A5 A7 OE IE GND
 NC UART GPO GPI RTC DACK LDOR LDRSR FDC VCC

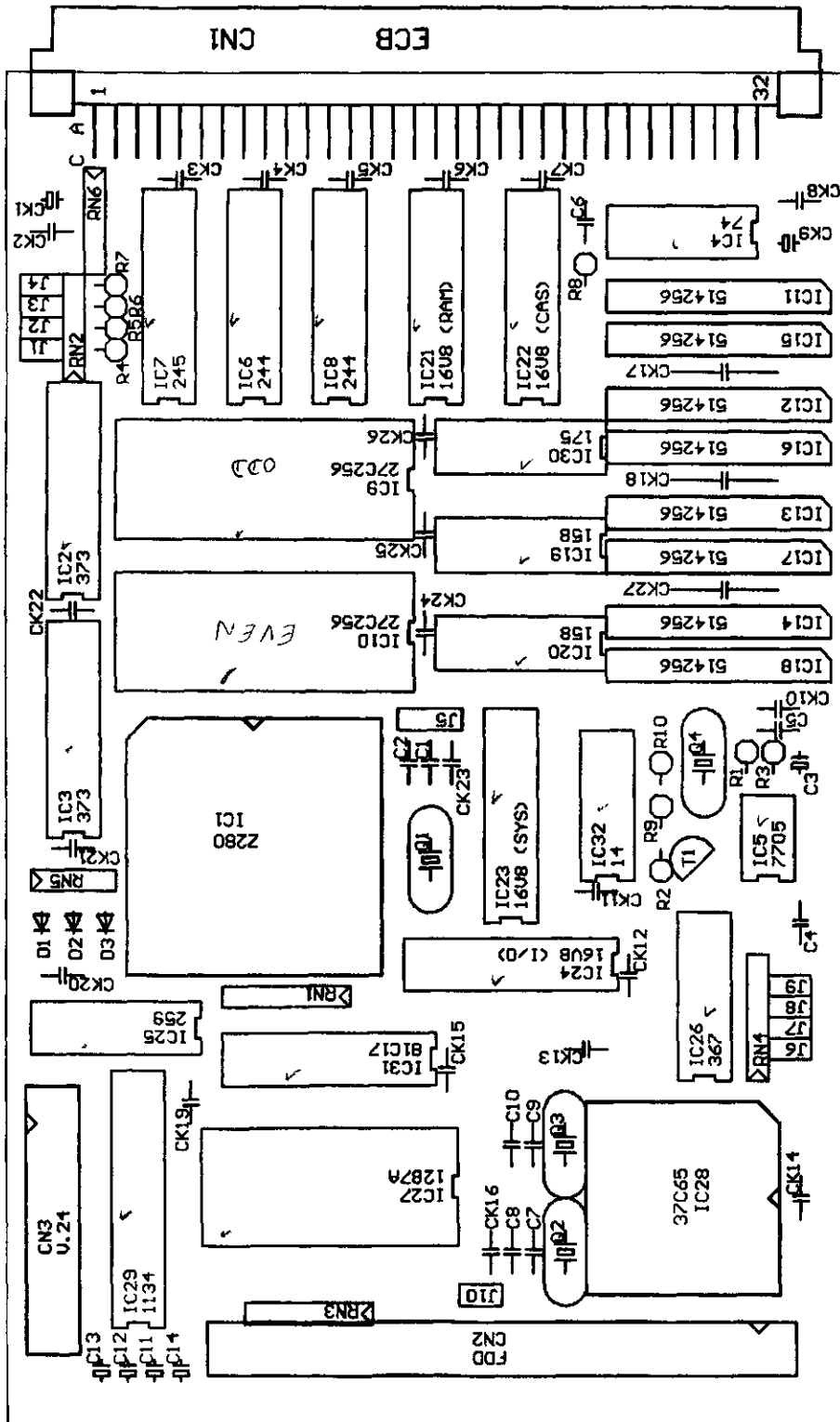
EQUATIONS

/RTC = /XIO * /A7 * /A6
 /FDC = /XIO * /A7 * A6 * /A5
 /DACK = /XIO * /A7 * A6 * A5
 /LDOR = /XIO * A7 * /A6 * /A5
 /LDRSR = /XIO * A7 * /A6 * A5
 /UART = /XIO * A7 * A6 * /A5
 /GPI = /XIO * A7 * A6 * A5 * /IE * /DS
 /GPO = /XIO * A7 * A6 * A5 * /OE * /DS

A4. Organisation Adreßräume Speicher/I/O

Speicher:	000000-01FFFF 800000-BFFFFFFF	Boot/System-EPROM max. 4 MB DRAM Onboard
I/O:	00xx00-00xFF 40xx00-40xFF 80xx00-80xFF FExx00-FFxFF	ECB-Bus (256 Adressen) Onboard-I/O Onboard-I/O mit /M1 auf ECB-Bus Onchip-I/O Z280
Onboard-I/O:	00-3F 40,41 60 80 A0 C0 E0-EF	RTC / NVRAM FDC FDC-DACK FDC-LDOR FDC-LDRSR UART GP-I/O
GP-Output:	E0 / E1 E2 / E3 E4 / E5 E6 / E7 E8 / E9 EA / EB EC / ED EE / EF	RTS1 off / on DRV off / on TC off / on MOTOR off / on WARM off / on LED1 on / off LED2 on / off LED3 on / off
GP-Input:	Bit 0 Bit 1 Bit 2 Bit 3 Bit 4 Bit 5	User-Jumper 1 (J7) User-Jumper 2 (J8) User-Jumper 3 (J9) CTS1 SQW WARM
Interrupts:	NMI INTA INTB INTC	über ECB-Bus (intern vektorisiert) über ECB-Bus (interne oder externe Vektoren) RTC, TPUART (intern) FDC (intern)

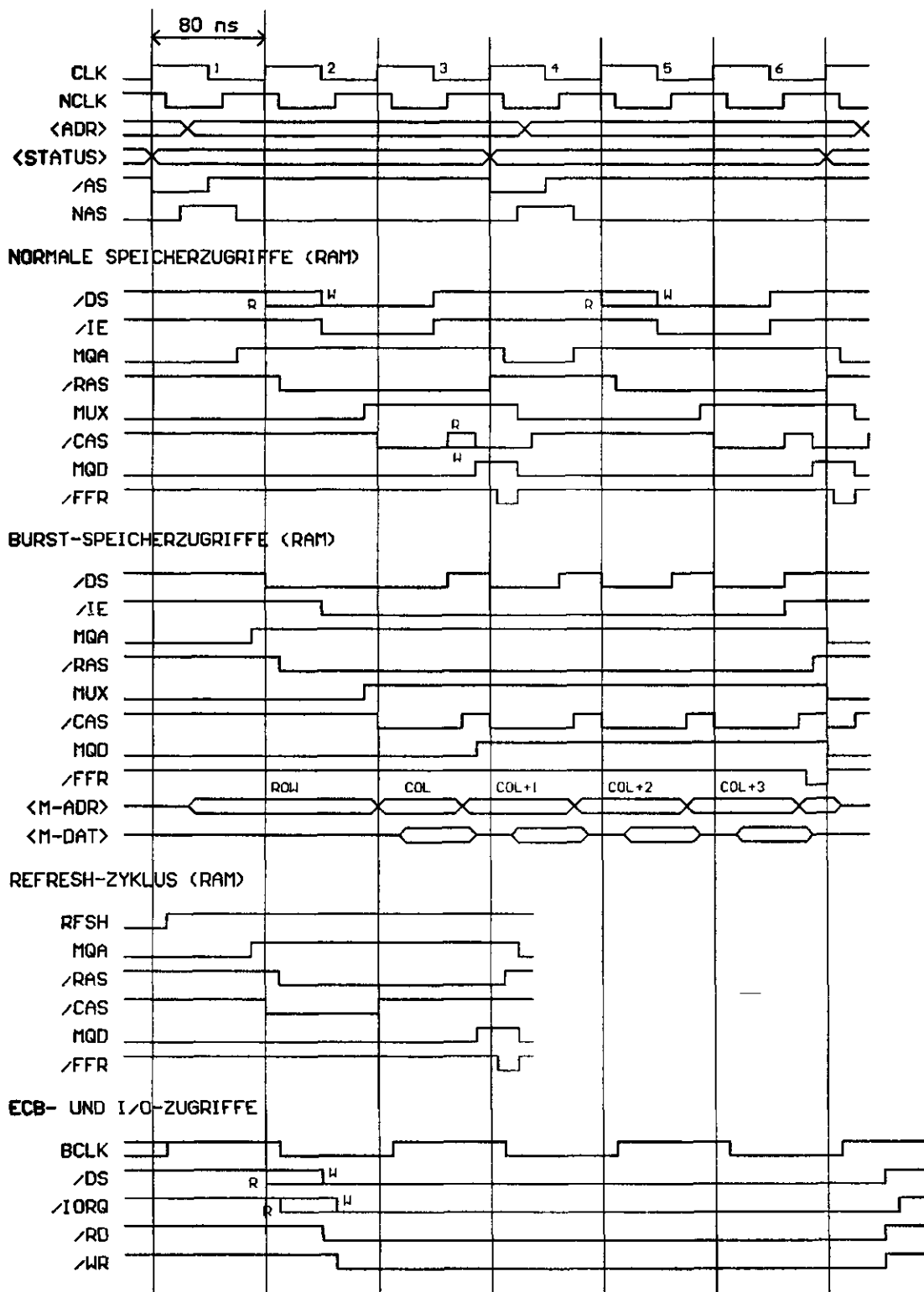
A6. Bestückungsplan



A7. Timing-Diagramme Speicherzugriffe, ECB-Bus

Timing CPU280, 12.5 MHz

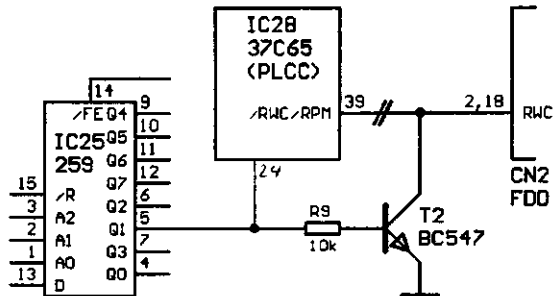
TR 260690



Addendum

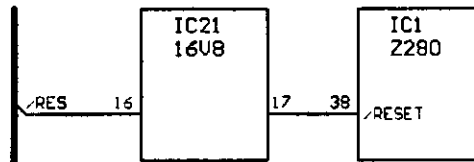
1. Schreibstrom-Umschaltung

Wie bereits in 2.6 erwähnt, ist zum Betrieb von 5¼-Zoll-HD-Laufwerken ein Transistor nachzurüsten, der den Schreibstrom am Laufwerk entsprechend der Dichte umschaltet. Der entsprechende Ausgang des FDC (/RWC) erfüllt diese Funktion leider nur im PC-AT-Modus, in dem nur zwei Laufwerke adressierbar sind.



2. Reset-Signal

Um eine der Z280-Spezifikation entsprechende Anstiegszeit des Reset-Signals zu gewährleisten, sollte das Reset-Signal für die MPU durch Zwischenschalten eines Puffers (innerhalb von IC21) aufbereitet werden. Dazu sind die beiden Leiterbahnen am Reset-Pin der MPU aufzutrennen und miteinander zu verbinden. Den Reset-Eingang an IC21 verbindet man am einfachsten mit dem entsprechenden Pin des Bussteckers, den Ausgang von IC21 direkt mit der MPU.



Die Programmierung des RAM-GAL's IC21 wird wie folgt erweitert:

2. Zeile Pinliste: GOE MUX WR MA0 MA1 RES CPURES MQA FFR VCC
Gleichungen: CPURES = RES

3. GAL-Programmierung System-GAL

Die Programmierung des System-GAL's IC23 wurde wie folgt geändert:

$/ROM = ST3 * /A23 * /DS$
 $/XIO = /ST3 * /ST2 * ST1 * /ST0 * /A23 * /A22 * A21$
 $\quad + /ST3 * /ST2 * ST1 * /ST0 * /A23 * A22 * /A21$
 $/M1 = /ST3 * ST2 * /ST1 * /ST0$
 $\quad + /ST3 * /ST2 * ST1 * /ST0 * /A23 * /A22 * A21$

Dadurch ändert sich auch die Belegung der I/O-Pages:

00xx00-00xFF	ECB-Bus (256 Adressen)
20xx00-20xFF	Onboard-I/O mit /M1 auf ECB-Bus
40xx00-40xFF	Onboard-I/O
FExx00-FFxFF	Onchip-I/O Z280

Hallo, CPU280-Besitzer!

Fast ein Jahr nach meinem ersten Rundschreiben möchte ich mich ein letztes Mal in dieser Form bei Euch melden.

Bei einigen läuft die Maschine schon, andere löten noch, wieder andere suchen Fehler... Aber ich denke, bald können sich alle am Z280 erfreuen. Wie Ihr Euch denken könnt, fängt jetzt die eigentliche Arbeit erst richtig an: echte Z280-Utilities warten auf die Programmierung, insbesondere Assembler und Compiler. Das BDOS müßte dringend mal umgeschrieben werden (seit dem Z80 überfällig!). Und an Hardware steht auch noch einiges an.

Zum Thema Hardware: Es wird schon an einem IDE-Interface gearbeitet (AT-Bus-Schnittstelle für Festplatten), wahrscheinlich ist auf der Karte auch noch etwas Platz für V.24 oder Centronics. Damit hätte man dann schonmal die wichtigste I/O-Karte.

Am Betriebssystem (Lader, BIOS und residentes DOS) mache ich derweil etwas weiter. Allerdings langsam, da ich mich auch mal um meine eigentliche Arbeit kümmern muß. Über den Stand der Dinge (und erkannte Fehler) werde ich in Zukunft wohl kaum noch in Rundschreiben berichten. Hier seid Ihr also gefordert, ab und zu mal nachzufragen, wie's aussieht. Dies gilt auch für Updates.

Nach dem Versenden des Materials habe ich noch folgende Fehler festgestellt:

1. Bei den EPROMs vom 14.11.90 mußte durch einen Patch sichergestellt werden, daß nach einem RTC-Reset tatsächlich das Default-Setup verwendet wird; die Version vom 27.11.90 ist korrigiert. Inzwischen (seit heute) kann die Defaulteinstellung durch J7 erzwungen werden (dadurch auch mehrmals möglich!).
2. Nach dem Formatieren einer Diskette holt der Format-Manager seine Daten grundsätzlich von Laufwerk A:. Deswegen sollte er auch von A: aufgerufen werden, sonst gibts Müll (es sei denn, man beendet sofort nach dem Formatieren).
3. Der Format-Manager berechnete die internen Daten von 5.25"-HD-Formaten falsch. Ab Versionsdatum 30.11. ist dieser Fehler behoben. Weiterhin wurde bei inversen Formaten die Directory falsch initialisiert (behoben ab 29.11.) und bei HD-Formaten ein fehlerhafter Parameterblock erzeugt (behoben ab 22.11.).
4. Es gibt manchmal Probleme beim Schreiben von IID-Disketten. Lesen ist dagegen problemlos möglich. Es handelt sich dabei um einen weiteren Chipfehler des Z280, der hoffentlich durch eine andere Programmierung des I/O-GALs kompensiert werden kann.
5. Um auch tatsächlich alle Formate bearbeiten zu können, habe ich sowohl in Lader als auch im System die Disk-Parameter entsprechend vergrößert (880 Blocks, 512 Directory als Grundlage für GENCPM).
6. Am Format-Manager habe ich einige kleinere Änderungen durchgeführt. Die nächste Version wird außerdem die neue Spurübersetzung beinhalten.
7. Inzwischen gibt es eine Definition für ein 5.25"-HD-Format.

Bezüglich der Chipfehler des Z280: Es gibt wohl inzwischen ein neues Errata Sheet zur aktuellen Maske. Allerdings habe ich noch keins davon, hoffe aber bald eins bekommen zu können. Die Systemprogrammierer unter Euch, die sich dafür interessieren, können mich ja demnächst mal danach fragen (am besten Mitte Januar - dieses Jahr läuft nicht mehr viel!).

Was jetzt noch fehlt (und ich beim Versenden der Päckchen vergessen habe), ist eine genaue Liste aller Teilesatz-Empfänger:

Bleibt nur noch:
Viele Grüße, frohe Weihnachten und ein gutes neues Jahr!

Tilmann Reh (171290)

Table B-1. Format 1 Instruction Encodings

Instruction Format		Example Instruction	
		Assembly	Machine Code (Hex)
	opcode	LD A,C	79
	opcode 2-byte address	LD A,(addr)	3A addr(low) addr(high)
	opcode 1-byte displacement	DJNZ addr	10 disp
	opcode immediate	LD E,n	IE n
A.esc	opcode	LD A,(HL + IX)	DD 79
A.esc	opcode 2-byte address	LD IX,(addr)	DD 2A addr(low) addr(high)
A.esc	opcode 1-byte displacement	LD A,(IX + d)	DD 7E disp
A.esc	opcode 2-byte displacement	LD A,(IX + dd)	FD 79 d(low) d(high)
A.esc	opcode immediate	LD IX,nn	DD 21 n(low) n(high)
A.esc	opcode 2-byte address immediate	LD (addr),n	DD 3E addr(low) addr(high) n
A.esc	opcode 1-byte displacement immediate	LD (Y + d),n	FD 36 d n
A.esc	opcode 2-byte displacement immediate	LD <addr>,n	FD 06 disp(low) disp(high) n

Table B-2. Format 2 Instruction Encodings

Instruction Format		Example Instruction	
		Assembly	Machine Code (Hex)
	ED opcode	MULT A,B	ED C0
	ED opcode immediate	SC nn	ED 71 n(low) n(high)
	ED opcode 2-byte address	LD BC,(addr)	ED 4B addr(low) addr(high)
	ED opcode 2-byte displacement	LD (HL + dd),A	ED 3B d(low) d(high)
A.esc	ED opcode	MULT A,IY	FD ED E8
A.esc	ED opcode 2-byte address	MULT A,(addr)	DD ED F8 addr(low) addr(high)
A.esc	ED opcode 1-byte displacement	MULT A,(Y + d)	FD ED F8 d
A.esc	ED opcode 2-byte displacement	LD IX,(Y + dd)	DD ED 34 d(low) d(high)
A.esc	ED opcode 2-byte immediate	MULTUW HL,nn	FD ED F3 n(low) n(high)

Table B-3. Format 3 Instruction Encodings

Instruction Format		Example Instruction	
		Assembly	Machine Code (Hex)
	CB opcode	RLC (HL)	CB 06
A.esc	CB 1-byte displacement opcode	RCL (IX + d)	DD CB d 06

Table B-4. Format 4 Instruction Encodings

Instruction Format		Example Instruction	
		Assembly	Machine Code (Hex)
ED	opcode 4-byte template	EPU ← (HL)	ED A6 temp1 temp2 temp3 temp4
ED	opcode 2-byte displacement 4-byte template	EPU ← (HL + dd)	ED BC d(low) d(high) temp1 temp2 temp3 temp4
ED	opcode 2-byte address 4-byte template	EPU ← (addr)	ED A7 addr(low) addr(high) temp1 temp2 temp3 temp4

Appendix C. Instructions in Alphabetic Order

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
ADC A,(HL)	8E	ADD A,D	82
ADC A,(HL+IX)	DD89	ADD A,E	83
ADC A,(HL+IY)	DD8A	ADD A,H	84
ADC A,(HL+1122H)	FD8B2211	ADD A,IXH	DD84
ADC A,(IX+IY)	DD8B	ADD A,IXL	DD85
ADC A,(IX+55H)	DD8E55	ADD A,IYH	FD84
ADC A,(IX+1122H)	FD892211	ADD A,IYL	FD85
ADC A,(IY+55H)	FD8E55	ADD A,L	85
ADC A,(IY+1122H)	FD8A2211	ADD A,66H	C666
ADC A,(PC+1122H)	FD882211	ADD HL,A	ED6D
ADC A,(SP+1122H)	DD882211	ADD HL,BC	09
ADC A,(3344H)	DD8F4433	ADD HL,DE	19
ADC A,A	8F	ADD HL,HL	29
ADC A,B	88	ADD HL,SP	39
ADC A,C	89	ADD IX,A	DDED6D
ADC A,D	8A	ADD IX,BC	DD09
ADC A,E	8B	ADD IX,DE	DD19
ADC A,H	8C	ADD IX,IX	DD29
ADC A,IXH	DD8C	ADD IX,SP	DD39
ADC A,IXL	DD8D	ADD IY,A	FDED6D
ADC A,IYH	FD8C	ADD IY,BC	FD09
ADC A,IYL	FD8D	ADD IY,DE	FD19
ADC A,L	8D	ADD IY,IY	FD29
ADC A,66H	CE66	ADD IY,SP	FD39
ADC HL,BC	ED4A	ADDW HL,(HL)	DDEDC6
ADC HL,DE	ED5A	ADDW HL,(IX+1122H)	FDEDC62211
ADC HL,HL	ED6A	ADDW HL,(IY+1122H)	FDEDD62211
ADC HL,SP	ED7A	ADDW HL,(PC+1122H)	DDEDF62211
ADC IX,BC	DDED4A	ADDW HL,(3344H)	DDEDD64433
ADC IX,DE	DDED5A	ADDW HL,BC	EDC6
ADC IX,IX	DDED6A	ADDW HL,DE	EDD6
ADC IX,SP	DDED7A	ADDW HL,HL	EDE6
ADC IY,BC	FDED4A	ADDW HL,IX	DDEDE6
ADC IY,DE	FDED5A	ADDW HL,IY	FDEDE6
ADC IY,IY	FDED6A	ADDW HL,SP	EDF6
ADC IY,SP	FDED7A	ADDW HL,3344H	FDEDF64433
ADD A,(HL)	86	AND A,(HL)	A6
ADD A,(HL+IX)	DD81	AND A,(HL+IX)	DDA1
ADD A,(HL+IY)	DD82	AND A,(HL+IY)	DDA2
ADD A,(HL+1122H)	FD832211	AND A,(HL+1122H)	FDA32211
ADD A,(IX+IY)	DD83	AND A,(IX+IY)	DDA3
ADD A,(IX+55H)	DD8655	AND A,(IX+55H)	DDA655
ADD A,(IX+1122H)	FD812211	AND A,(IX+1122H)	FDA12211
ADD A,(IY+55H)	FD8655	AND A,(IY+55H)	FDA655
ADD A,(IY+1122H)	FD822211	AND A,(IY+1122H)	FDA22211
ADD A,(PC+1122H)	FD802211	AND A,(PC+1122H)	FDA02211
ADD A,(SP+1122H)	DD802211	AND A,(SP+1122H)	DDA02211
ADD A,(3344H)	DD874433	AND A,(3344H)	DDA74433
ADD A,A	87	AND A,A	A7
ADD A,B	80	AND A,B	A0
ADD A,C	81	AND A,C	A1

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
AND A,D	A2	BIT 5,(IX+55H)	DDCB556E
AND A,E	A3	BIT 5,(IY+55H)	FDCB556E
AND A,H	A4	BIT 5,A	CB6F
AND A,IXH	DDA4	BIT 5,B	CB68
AND A,IXL	DDA5	BIT 5,C	CB69
AND A,IYH	FDA4	BIT 5,D	CB6A
AND A,IYL	FDA5	BIT 5,E	CB6B
AND A,L	A5	BIT 5,H	CB6C
AND A,66H	E666	BIT 5,L	CB6D
BIT 0,(HL)	CB46	BIT 6,(HL)	CB76
BIT 0,(IX+55H)	DDCB5546	BIT 6,(IX+55H)	DDCB5576
BIT 0,(IY+55H)	FDCB5546	BIT 6,(IY+55H)	FDCB5576
BIT 0,A	CB47	BIT 6,A	CB77
BIT 0,B	CB40	BIT 6,B	CB70
BIT 0,C	CB41	BIT 6,C	CB71
BIT 0,D	CB42	BIT 6,D	CB72
BIT 0,E	CB43	BIT 6,E	CB73
BIT 0,H	CB44	BIT 6,H	CB74
BIT 0,L	CB45	BIT 6,L	CB75
BIT 1,(HL)	CB4E	BIT 7,(HL)	CB7E
BIT 1,(IX+55H)	DDCB554E	BIT 7,(IX+55H)	DDCB557E
BIT 1,(IY+55H)	FDCB554E	BIT 7,(IY+55H)	FDCB557E
BIT 1,A	CB4F	BIT 7,A	CB7F
BIT 1,B	CB48	BIT 7,B	CB78
BIT 1,C	CB49	BIT 7,C	CB79
BIT 1,D	CB4A	BIT 7,D	CB7A
BIT 1,E	CB4B	BIT 7,E	CB7B
BIT 1,H	CB4C	BIT 7,H	CB7C
BIT 1,L	CB4D	BIT 7,L	CB7D
BIT 2,(HL)	CB56	CALL (HL)	DDCD
BIT 2,(IX+55H)	DDCB5556	CALL (PC+1122H)	FDCD2211
BIT 2,(IY+55H)	FDCB5556	CALL C,(HL)	DDDC
BIT 2,A	CB57	CALL C,(PC+1122H)	FDDC2211
BIT 2,B	CB50	CALL C,3344H	DC4433
BIT 2,C	CB51	CALL M,(HL)	DDFC
BIT 2,D	CB52	CALL M,(PC+1122H)	FDFC2211
BIT 2,E	CB53	CALL M,3344H	FC4433
BIT 2,H	CB54	CALL NC,(HL)	DDD4
BIT 2,L	CB55	CALL NC,(PC+1122H)	FDD42211
BIT 3,(HL)	CB5E	CALL NC,3344H	D44433
BIT 3,(IX+55H)	DDCB555E	CALL NZ,(HL)	DDC4
BIT 3,(IY+55H)	FDCB555E	CALL NZ,(PC+1122H)	FDC42211
BIT 3,A	CB5F	CALL NZ,3344H	C44433
BIT 3,B	CB58	CALL P,(HL)	DDF4
BIT 3,C	CB59	CALL P,(PC+1122H)	FDF42211
BIT 3,D	CB5A	CALL P,3344H	D44433
BIT 3,E	CB5B	CALL PE,(HL)	FDEC
BIT 3,H	CB5C	CALL PE,(PC+1122H)	FDEC2211
BIT 3,L	CB5D	CALL PE,3344H	EC4433
BIT 4,(HL)	CB66	CALL PO,(HL)	DDE4
BIT 4,(IX+55H)	DDCB5566	CALL PO,(PC+1122H)	FDE42211
BIT 4,(IY+55H)	FDCB5566	CALL PO,3344H	E44433
BIT 4,A	CB67	CALL Z,(HL)	DDCC
BIT 4,B	CB60	CALL Z,(PC+1122H)	FDC2211
BIT 4,C	CB61	CALL Z,3344H	CC4433
BIT 4,D	CB62	CALL 3344H	CD4433
BIT 4,E	CB63	CCF	3F
BIT 4,H	CB64	CP A,(HL)	BE
BIT 4,L	CB65	CP A,(HL+IX)	DDB9
BIT 5,(HL)	CB6E	CP A,(HL+IY)	DDBA

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
CP A,(HL+1122H)	FDBB2211	DEC IX	DD2B
CP A,(IX+IY)	DDBB	DEC IXH	DD25
CP A,(IX+55H)	DDBE55	DEC IXL	DD2D
CP A,(IX+1122H)	FDB92211	DEC IY	FD2B
CP A,(IY+55H)	FDBE55	DEC IYH	FD25
CP A,(IY+1122H)	FDBA2211	DEC IYL	FD2D
CP A,(PC+1122H)	FDB82211	DEC L	2D
CP A,(SP+1122H)	DDB82211	DEC SP	3B
CP A,(3344H)	DDBF4433	DECW (HL)	DD0B
CP A,A	BF	DECW (IX+1122H)	FD0B2211
CP A,B	B8	DECW (IY+1122H)	FD1B2211
CP A,C	B9	DECW (PC+1122H)	DD3B2211
CP A,D	BA	DECW (3344H)	DD1B4433
CP A,E	BB	DECW BC	0B
CP A,H	BC	DECW DE	1B
CP A,IXH	DDBC	DECW HL	2B
CP A,IXL	DDBD	DECW IX	DD2B
CP A,IYH	FDBC	DECW IY	FD2B
CP A,IYL	FDBD	DECW SP	3B
CP A,L	BD	DI	F3
CP A,66H	FE66	DI 66H	ED7766
CPD	EDA9	DIV HL,(HL)	EDF4
CPDR	EDB9	DIV HL,(HL+IX)	DDEDCC
CPI	EDA1	DIV HL,(HL+IY)	DDEDD4
CPIR	EDB1	DIV HL,(HL+1122H)	FDEDDC2211
CPL	2F	DIV HL,(IX+IY)	DDEDDC
CPW HL,(HL)	DDEDC7	DIV HL,(IX+55H)	DDEDF455
CPW HL,(IX+1122H)	FDEDC72211	DIV HL,(IX+1122H)	FDEDC2211
CPW HL,(IY+1122H)	FDEDD72211	DIV HL,(IY+55H)	FDEDF455
CPW HL,(PC+1122H)	DDEDF72211	DIV HL,(IY+1122H)	FOEDD42211
CPW HL,(3344H)	DDEDD74433	DIV HL,(PC+1122H)	FDEDC42211
CPW HL,BC	EDC7	DIV HL,(SP+1122H)	DDEDC42211
CPW HL,DE	EDD7	DIV HL,(3344H)	DDEDFC4433
CPW HL,HL	EDE7	DIV HL,A	EDFC
CPW HL,IX	DDEDE7	DIV HL,B	EDC4
CPW HL,IY	FDEDE7	DIV HL,C	EDCC
CPW HL,SP	EDF7	DIV HL,D	EDD4
CPW HL,3344H	FDEDF74433	DIV HL,E	EDDC
DAA	27	DIV HL,H	EDE4
DEC (HL)	35	DIV HL,IXH	DDEDE4
DEC (HL+IX)	DD0D	DIV HL,IXL	DDEDEC
DEC (HL+IY)	DD15	DIV HL,IYH	FDEDE4
DEC (HL+1122H)	FD1D2211	DIV HL,IYL	FDEDEC
DEC (IX+IY)	DD1D	DIV HL,L	EDEC
DEC (IX+55H)	DD3555	DIV HL,66H	FDEDFC66
DEC (IX+1122H)	FD0D2211	DIVU HL,(HL)	EDF5
DEC (IY+55H)	FD3555	DIVU HL,(HL+IX)	DDEDCD
DEC (IY+1122H)	FD152211	DIVU HL,(HL+IY)	DDEDD5
DEC (PC+1122H)	FD052211	DIVU HL,(HL+1122H)	FDEDDD2211
DEC (SP+1122H)	DD052211	DIVU HL,(IX+IY)	DDEDDD
DEC (3344H)	DD3D4433	DIVU HL,(IX+55H)	DDEDF555
DEC A	3D	DIVU HL,(IX+1122H)	FDEDCD2211
DEC B	05	DIVU HL,(IY+55H)	FDEDF555
DEC BC	0B	DIVU HL,(IY+1122H)	FDEDD52211
DEC C	0D	DIVU HL,(PC+1122H)	FDEDC52211
DEC D	15	DIVU HL,(SP+1122H)	DDEDC52211
DEC DE	1B	DIVU HL,(3344H)	DDEDFD4433
DEC E	1D	DIVU HL,A	EDFD
DEC H	25	DIVU HL,B	EDC5
DEC HL	2B	DIVU HL,C	EDCD

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
DIVU HL,D	EDD5	EX A,(PC+1122H)	FDED072211
DIVU HL,E	EDDD	EX A,(SP+1122H)	DDED072211
DIVU HL,H	EDES	EX A,(3344H)	DDED3F4433
DIVU HL,IXH	DDEDES	EX A,A	ED3F
DIVU HL,IXL	DDEDED	EX A,B	ED07
DIVU HL,IYH	FDEDES	EX A,C	ED0F
DIVU HL,IYL	FDEDED	EX A,D	ED17
DIVU HL,L	EDED	EX A,E	ED1F
DIVU HL,66H	FDEDFD66	EX A,H	ED27
DIVUW DEHL,(HL)	DDEDCB	EX A,IXH	DDED27
DIVUW DEHL,(IX+1122H)	FDEDCB2211	EX A,IXL	DDED2F
DIVUW DEHL,(IY+1122H)	FDEDDB2211	EX A,IYH	FDED27
DIVUW DEHL,(PC+1122H)	DDEDFB2211	EX A,IYL	FDED2F
DIVUW DEHL,(3344H)	DDEDDB4433	EX A,L	ED2F
DIVUW DEHL,BC	EDCB	EX AF,AF'	08
DIVUW DEHL,DE	EDDB	EX DE,HL	EB
DIVUW DEHL,HL	EDEB	EX H,L	EDEF
DIVUW DEHL,IX	DDEDEB	EX IX,HL	DDEB
DIVUW DEHL,IY	FDEDEB	EX IY,HL	FDEB
DIVUW DEHL,SP	EDFB	EXTS A	ED64
DIVUW DEHL,3344H	FDEDFB4433	EXTS HL	ED6C
DIVW DEHL,(HL)	DDEDCA	EXX	D9
DIVW DEHL,(IX+1122H)	FDEDCA2211	HALT	76
DIVW DEHL,(IY+1122H)	FDEDDA2211	IM 0	ED46
DIVW DEHL,(PC+1122H)	DDEDDFA2211	IM 1	ED56
DIVW DEHL,(3344H)	DDEDDA4433	IM 2	ED5E
DIVW DEHL,BC	EDCA	IM 3	ED4E
DIVW DEHL,DE	EDDA	IN (HL+IX),(C)	DDED48
DIVW DEHL,HL	EDEA	IN (HL+IY),(C)	DDED50
DIVW DEHL,IX	DDEDEA	IN (HL+1122H),(C)	FDED582211
DIVW DEHL,IY	FDEDEA	IN (IX+IY),(C)	DDED58
DIVW DEHL,SP	EDFA	IN (IX+1122H),(C)	FDED482211
DIVW DEHL,3344H	FDEDDFA4433	IN (IY+1122H),(C)	FDED502211
DJNZ 77H	1075	IN (PC+1122H),(C)	FDED402211
EI	FB	IN (SP+1122H),(C)	DDED402211
EI 66H	ED7F66	IN (3344H),(C)	DDED784433
EPUF	ED97	IN A,(C)	ED78
EPUI	ED9F	IN A,(66H)	DB66
EPUM (HL)	EDA6	IN B,(C)	ED40
EPUM (HL+IX)	ED8C	IN C,(C)	ED48
EPUM (HL+IY)	ED94	IN D,(C)	ED50
EPUM (HL+1122H)	EDBC2211	IN E,(C)	ED58
EPUM (IX+IY)	ED9C	IN H,(C)	ED60
EPUM (IX+1122H)	EDAC2211	INW HL,(C)	EDB7
EPUM (IY+1122H)	EDB42211	IN IXH,(C)	DDED60
EPUM (PC+1122H)	EDA42211	IN IXL,(C)	DDED68
EPUM (SP+1122H)	ED842211	IN IYH,(C)	FDED60
EPUM (3344H)	EDA74433	IN IYL,(C)	FDED68
EX (SP),HL	E3	IN L,(C)	ED68
EX (SP),IX	DDE3	INC (HL)	34
EX (SP),IY	FDE3	INC (HL+IX)	DD0C
EX A,(HL+IX)	ED37	INC (HL+IY)	DD14
EX A,(HL+IY)	DDED0F	INC (HL+1122H)	FD1C2211
EX A,(HL+1122H)	DDED17	INC (IX+IY)	DD1C
EX A,(IX+1122H)	FDED1F2211	INC (IX+55H)	DD3455
EX A,(IX+IY)	DDED1F	INC (IX+1122H)	FD0C2211
EX A,(IX+55H)	DDED3755	INC (IY+55H)	FD3455
EX A,(IX+1122H)	FDED0F2211	INC (IY+1122H)	FD142211
EX A,(IY+55H)	FDED3755	INC (PC+1122H)	FD042211
EX A,(IY+1122H)	FDED172211	INC (SP+1122H)	DD042211

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
INC (3344H)	DD3C4433	JP PE,(PC+1122H)	FDEA2211
INC A	3C	JP PE,3344H	EA4433
INC B	04	JP PO,(HL)	DDE2
INC BC	03	JP PO,(PC+1122H)	FDE22211
INC C	0C	JP PO,3344H	E24433
INC D	14	JP Z,(HL)	DDCA
INC DE	13	JP Z,(PC+1122H)	FDCA2211
INC E	1C	JP Z,3344H	CA4433
INC H	24	JP 3344H	C34433
INC HL	23	JR C,77H	3875
INC IX	DD23	JR NC,77H	3075
INC IXH	DD24	JR NZ,77H	2075
INC IXL	DD2C	JR Z,77H	2875
INC IY	FD23	JR 77H	1875
INC IYH	FD24	LD (BC),A	02
INC IYL	FD2C	LD (DE),A	12
INC L	2C	LD (HL),A	77
INC SP	33	LD (HL),B	70
INCW (HL)	DD03	LD (HL),BC	ED0E
INCW (IX+1122H)	FD032211	LD (HL),C	71
INCW (IY+1122H)	FD132211	LD (HL),D	72
INCW (PC+1122H)	DD332211	LD (HL),DE	ED1E
INCW (3344H)	DD134433	LD (HL),E	73
INCW BC	03	LD (HL),H	74
INCW DE	13	LD (HL),HL	ED2E
INCW HL	23	LD (HL),L	75
INCW IX	DD23	LD (HL),SP	ED3E
INCW IY	FD23	LD (HL),66H	3666
INCW SP	33	LD (HL+IX),A	ED0B
IND	EDAA	LD (HL+IX),HL	ED0D
INDR	EDBA	LD (HL+IX),IX	DDED0D
INDRW	ED9A	LD (HL+IX),IY	FDED0D
INDW	ED8A	LD (HL+IX),66H	DD0E66
INI	EDA2	LD (HL+IY),A	ED13
INIR	EDB2	LD (HL+IY),HL	ED15
INIRW	ED92	LD (HL+IY),IX	DDED15
INIW	ED82	LD (HL+IY),IY	FDED15
INW HL,(C)	EDB7	LD (HL+IY),66H	DD1666
JAF 77H	DD2874	LD (HL+1122H),A	ED3B2211
JAR 77H	DD2074	LD (HL+1122H),HL	ED3D2211
JP (HL)	E9	LD (HL+1122H),IX	DDED3D2211
JP (IX)	DDE9	LD (HL+1122H),IY	FDED3D2211
JP (IY)	FDE9	LD (HL+1122H),66H	FD1E221166
JP (PC+1122H)	FDC32211	LD (IX+IY),A	ED1B
JP C,(HL)	DDDA	LD (IX+IY),HL	ED1D
JP C,(PC+1122H)	FDDA2211	LD (IX+IY),IX	DDED1D
JP C,3344H	DA4433	LD (IX+IY),IY	FDED1D
JP M,(HL)	DDFA	LD (IX+IY),66H	DD1E66
JP M,(PC+1122H)	FDFA2211	LD (IX+55H),A	DD7755
JP M,3344H	FA4433	LD (IX+55H),B	DD7055
JP NC,(HL)	DDD2	LD (IX+55H),C	DDED0E55
JP NC,(PC+1122H)	FDD22211	LD (IX+55H),D	DD7155
JP NC,3344H	D24433	LD (IX+55H),DE	DD7255
JP NZ,(HL)	DDC2	LD (IX+55H),E	DDED1E55
JP NZ,(PC+1122H)	FDC22211	LD (IX+55H),H	DD7355
JP NZ,3344H	C24433	LD (IX+55H),HL	DD7455
JP P,(HL)	DDF2	LD (IX+55H),L	DDED2E55
JP P,(PC+1122H)	FDF22211	LD (IX+55H),SP	DD7555
JP P,3344H	F24433	LD (IX+55H),66H	DDED3E55
JP PE,(HL)	DDEA		DD365566

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
LD (IX+1122H),A	ED2B2211	LD A,I	ED57
LD (IX+1122H),HL	ED2D2211	LD A,IXH	DD7C
LD (IX+1122H),IX	DDED2D2211	LD A,IXL	DD7D
LD (IX+1122H),IY	FD0E2D2211	LD A,IYH	FD7C
LD (IX+1122H),66H	FD0E221166	LD A,IYL	FD7D
LD (IY+55H),A	FD7755	LD A,L	7D
LD (IY+55H),B	FD7055	LD A,R	ED5F
LD (IY+55H),BC	FDED0E55	LD A,66H	3E66
LD (IY+55H),C	FD7155	LD B,(HL)	46
LD (IY+55H),D	FD7255	LD B,(IX+55H)	DD4655
LD (IY+55H),DE	FDED1E55	LD B,(IY+55H)	FD4655
LD (IY+55H),E	FD7355	LD B,A	47
LD (IY+55H),H	FD7455	LD B,B	40
LD (IY+55H),HL	FDED2E55	LD B,C	41
LD (IY+55H),L	FD7555	LD B,D	42
LD (IY+55H),SP	FDED3E55	LD B,E	43
LD (IY+55H),66H	FD365566	LD B,H	44
LD (IY+1122H),A	ED332211	LD B,IXH	DD44
LD (IY+1122H),HL	ED352211	LD B,IXL	DD45
LD (IY+1122H),IX	DDED352211	LD B,IYH	FD44
LD (IY+1122H),IY	FDED352211	LD B,IYL	FD45
LD (IY+1122H),66H	FD16221166	LD B,L	45
LD (PC+1122H),A	ED232211	LD B,66H	0666
LD (PC+1122H),HL	ED252211	LD BC,(HL)	ED06
LD (PC+1122H),IX	DDED252211	LD BC,(IX+55H)	DDED0655
LD (PC+1122H),IY	FDED252211	LD BC,(IY+55H)	FDED0655
LD (PC+1122H),66H	FD06221166	LD BC,(3344H)	ED4B4433
LD (SP+1122H),A	ED032211	LD BC,3344H	014433
LD (SP+1122H),HL	ED052211	LD C,(HL)	4E
LD (SP+1122H),IX	DDED052211	LD C,(IX+55H)	DD4E55
LD (SP+1122H),IY	FDED052211	LD C,(IY+55H)	FD4E55
LD (SP+1122H),66H	DD06221166	LD C,A	4F
LD (3344H),A	324433	LD C,B	48
LD (3344H),BC	ED434433	LD C,C	49
LD (3344H),DE	ED534433	LD C,D	4A
LD (3344H),HL	224433	LD C,E	4B
LD (3344H),IX	DD224433	LD C,H	4C
LD (3344H),IY	FD224433	LD C,IXH	DD4C
LD (3344H),SP	ED734433	LD C,IXL	DD4D
LD (3344H),66H	DD3E443366	LD C,IYH	FD4C
LD A,(BC)	0A	LD C,IYL	FD4D
LD A,(DE)	1A	LD C,L	4D
LD A,(HL)	7E	LD C,66H	0E66
LD A,(HL+IX)	DD79	LD D,(HL)	56
LD A,(HL+IY)	DD7A	LD D,(IX+55H)	DD5655
LD A,(HL+1122H)	FD7B2211	LD D,(IY+55H)	FD5666
LD A,(IX+IY)	DD7B	LD D,A	57
LD A,(IX+55H)	DD7E55	LD D,B	50
LD A,(IX+1122H)	FD792211	LD D,C	51
LD A,(IY+55H)	FD7E55	LD D,D	52
LD A,(IY+1122H)	FD7A2211	LD D,E	53
LD A,(PC+1122H)	FD782211	LD D,H	54
LD A,(SP+1122H)	DD782211	LD D,IXH	DD54
LD A,(3344H)	3A4433	LD D,IXL	DD55
LD A,A	7F	LD D,IYH	FD54
LD A,B	78	LD D,IYL	FD55
LD A,C	79	LD D,L	55
LD A,D	7A	LD D,66H	1666
LD A,E	7B	LD DE,(HL)	ED16
LD A,H	7C	LD DE,(IX+55H)	DDED1655

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
LD DE,(IY+55H)	FDED1655	LD IXL,A	DD6F
LD DE,(3344H)	ED5B4433	LD IXL,B	DD68
LD DE,3344H	114433	LD IXL,C	DD69
LD E,(HL)	5E	LD IXL,D	DD6A
LD E,(IX+55H)	DD5E55	LD IXL,E	DD6B
LD E,(IY+55H)	FD5E55	LD IXL,IXH	DD6C
LD E,A	5F	LD IXL,IXL	DD6D
LD E,B	58	LD IXL,66H	DD2E66
LD E,C	59	LD IY,(HL+IX)	FDED0C
LD E,D	5A	LD IY,(HL+IY)	FDED14
LD E,E	5B	LD IY,(HL+1122H)	FDED3C2211
LD E,H	5C	LD IY,(IX+IY)	FDED1C
LD E,IXH	DD5C	LD IY,(IX+1122H)	FDED2C2211
LD E,IXL	DD5D	LD IY,(IY+1122H)	FDED342211
LD E,IYH	FD5C	LD IY,(PC+1122H)	FDED242211
LD E,IYL	FD5D	LD IY,(SP+1122H)	FDED042211
LD E,L	5D	LD IY,3344H	FD214433
LD E,66H	1E66	LD IYH,A	FD67
LD H,(HL)	66	LD IYH,B	FD60
LD H,(IX+55H)	DD6655	LD IYH,C	FD61
LD H,(IY+55H)	FD6655	LD IYH,D	FD62
LD H,A	67	LD IYH,E	FD63
LD H,B	60	LD IYH,IYH	FD64
LD H,C	61	LD IYH,IYL	FD65
LD H,D	62	LD IYH,66H	FD2666
LD H,E	63	LD IYL,A	FD6F
LD H,H	64	LD IYL,B	FD68
LD H,L	65	LD IYL,C	FD69
LD H,66H	2666	LD IYL,D	FD6A
LD HL,(HL)	ED26	LD IYL,E	FD6B
LD HL,(HL+IX)	ED0C	LD IYL,IYH	FD6C
LD HL,(HL+IY)	ED14	LD IYL,IYL	FD6D
LD HL,(IX+IY)	ED1C	LD IYL,66H	FD2E66
LD HL,(IX+55H)	DDED2655	LD L,(HL)	6E
LD HL,(IX+1122H)	ED2C2211	LD L,(IX+55H)	DD6E55
LD HL,(IY+55H)	FDED2655	LD L,(IY+55H)	FD6E55
LD HL,(IY+1122H)	ED342211	LD L,A	6F
LD HL,(PC+1122H)	ED242211	LD L,B	68
LD HL,(SP+1122H)	ED042211	LD L,C	69
LD HL,(3344H)	2A4433	LD L,D	6A
LD HL,3344H	214433	LD L,E	6B
LD I,A	ED47	LD L,H	6C
LD IX,(HL+IX)	DDED0C	LD L,L	6D
LD IX,(HL+IY)	DDED14	LD L,66H	2E66
LD IX,(HL+1122H)	DDED3C2211	LD R,A	ED4F
LD IX,(IX+IY)	DDED1C	LD SP,(HL)	ED36
LD IX,(IX+1122H)	DDED2C2211	LD SP,(IX+55H)	DDED3655
LD IX,(IY+1122H)	DDED342211	LD SP,(IY+55H)	FDED3655
LD IX,(PC+1122H)	DDED242211	LD SP,(3344H)	ED7B4433
LD IX,(SP+1122H)	DDED042211	LD SP,HL	F9
LD IX,(3344H)	DD2A4433	LD SP,IX	DDF9
LD IX,3344H	DD214433	LD SP,IY	FD79
LD IXH,A	DD67	LD SP,3344H	314433
LD IXH,B	DD60	LDA HL,(HL+IX)	ED0A
LD IXH,C	DD61	LDA HL,(HL+IY)	ED12
LD IXH,D	DD62	LDA HL,(HL+1122H)	ED3A2211
LD IXH,E	DD63	LDA HL,(IX+IY)	ED1A
LD IXH,IXH	DD64	LDA HL,(IX+1122H)	ED2A2211
LD IXH,IXL	DD65	LDA HL,(IY+1122H)	ED322211
LD IXH,66H	DD2666	LDA HL,(PC+1122H)	ED222211

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
LDA HL,(SP+1122H)	ED022211	LDW (HL+1122H),IX	DDED3D2211
LDA HL,(3344H)	214433	LDW (HL+1122H),IY	FDED3D2211
LDA IX,(HL+IX)	DDED0A	LDW (IX+IY),HL	ED1D
LDA IX,(HL+IY)	DDED12	LDW (IX+IY),IX	DDED1D
LDA IX,(HL+1122H)	DDED3A2211	LDW (IX+IY),IY	FDED1D
LDA IX,(IX+IY)	DDED1A	LDW (IX+55H),BC	DDED0E55
LDA IX,(IX+1122H)	DDED2A2211	LDW (IX+55H),DE	DDED1E55
LDA IX,(IY+1122H)	DDED322211	LDW (IX+55H),HL	DDED2E55
LDA IX,(PC+1122H)	DDED222211	LDW (IX+55H),SP	DDED3E55
LDA IX,(SP+1122H)	DDED022211	LDW (IX+1122H),HL	ED2D2211
LDA IX,(3344H)	DD214433	LDW (IX+1122H),IX	DDED2D2211
LDA IY,(HL+IX)	FDED0A	LDW (IX+1122H),IY	FDED2D2211
LDA IY,(HL+IY)	FDED12	LDW (IY+55H),BC	FDED0E55
LDA IY,(HL+1122H)	FDED3A2211	LDW (IY+55H),DE	FDED1E55
LDA IY,(IX+IY)	FDED1A	LDW (IY+55H),HL	FDED2E55
LDA IY,(IX+1122H)	FDED2A2211	LDW (IY+55H),SP	FDED3E55
LDA IY,(IY+1122H)	FDED322211	LDW (IY+1122H),HL	ED352211
LDA IY,(PC+1122H)	FDED222211	LDW (IY+1122H),IX	DDED352211
LDA IY,(SP+1122H)	FDED022211	LDW (IY+1122H),IY	FDED352211
LDA IY,(3344H)	FD214433	LDW (PC+1122H),HL	ED252211
LDCTL (C),HL	ED6E	LDW (PC+1122H),IX	DDED252211
LDCTL (C),IX	DDED6E	LDW (PC+1122H),IY	FDED252211
LDCTL (C),IY	FDED6E	LDW (PC+1122H),3344H	DD3122114433
LDCTL HL,(C)	ED66	LDW (SP+1122H),HL	ED052211
LDCTL HL,USP	ED87	LDW (SP+1122H),IX	DDED052211
LDCTL IX,(C)	DDED66	LDW (SP+1122H),IY	FDED052211
LDCTL IX,USP	DDED87	LDW (3344H),BC	ED434433
LDCTL IY,(C)	FDED66	LDW (3344H),DE	ED534433
LDCTL IY,USP	FDED87	LDW (3344H),HL	224433
LDCTL USP,HL	ED8F	LDW (3344H),IX	DD224433
LDCTL USP,IX	DDED8F	LDW (3344H),IY	FD224433
LDCTL USP,IY	FDED8F	LDW (3344H),SP	ED734433
LDD	EDA8	LDW (3344H),8899H	DD1144339988
LDDR	EDB8	LDW BC,(HL)	ED06
LDI	EDA0	LDW BC,(IX+55H)	DDED0655
LDIR	EDB0	LDW BC,(IY+55H)	FDED0655
LDUD (HL),A	ED8E	LDW BC,(3344H)	ED4B4433
LDUD (IX+55H),A	DDED8E55	LDW BC,3344H	014433
LDUD (IY+55H),A	FDED8E55	LDW DE,(HL)	ED16
LDUD A,(HL)	ED86	LDW DE,(IX+55H)	DDED1655
LDUD A,(IX+55H)	DDED8655	LDW DE,(IY+55H)	FDED1655
LDUD A,(IY+55H)	FDED8655	LDW DE,(3344H)	ED5B4433
LDUP (HL),A	ED9E	LDW DE,3344H	114433
LDUP (IX+55H),A	DDED9E55	LDW HL,(HL)	ED26
LDUP (IY+55H),A	FDED9E55	LDW HL,(HL+IX)	ED0C
LDUP A,(HL)	ED96	LDW HL,(HL+IY)	ED14
LDUP A,(IX+55H)	DDED9655	LDW HL,(HL+1122H)	ED3C2211
LDUP A,(IY+55H)	FDED9655	LDW HL,(IX+IY)	ED1C
LDW (HL),BC	ED0E	LDW HL,(IX+55H)	DDED2655
LDW (HL),DE	ED1E	LDW HL,(IX+1122H)	ED2C2211
LDW (HL),HL	ED2E	LDW HL,(IY+55H)	FDED2655
LDW (HL),SP	ED3E	LDW HL,(IY+1122H)	ED342211
LDW (HL),3344H	DD014433	LDW HL,(PC+1122H)	ED242211
LDW (HL+IX),HL	ED0D	LDW HL,(SP+1122H)	ED042211
LDW (HL+IX),IX	DDED0D	LDW HL,(3344H)	2A4433
LDW (HL+IX),IY	FDED0D	LDW HL,3344H	214433
LDW (HL+IY),HL	ED15	LDW IX,(HL+IX)	DDED0C
LDW (HL+IY),IX	DDED15	LDW IX,(HL+IY)	DDED14
LDW (HL+IY),IY	FDED15	LDW IX,(HL+1122H)	DDED3C2211
LDW (HL+1122H),HL	ED3D2211	LDW IX,(IX+IY)	DDED1C

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
LDW IX,(IX+1122H)	DDED2C2211	MULTU A,(HL+IY)	DDEDD1
LDW IX,(IY+1122H)	DDED342211	MULTU A,(HL+1122H)	FDEDD92211
LDW IX,(PC+1122H)	DDED242211	MULTU A,(IX+IY)	DDEDD9
LDW IX,(SP+1122H)	DDED042211	MULTU A,(IX+55H)	DDEDF155
LDW IX,(3344H)	DD2A4433	MULTU A,(IX+1122H)	FDEDC92211
LDW IX,3344H	DD214433	MULTU A,(IY+55H)	FDEDF155
LDW IY,(HL+IX)	FDED0C	MULTU A,(IY+1122H)	FDEDD12211
LDW IY,(HL+IY)	FDED14	MULTU A,(PC+1122H)	FDEDC12211
LDW IY,(HL+1122H)	FDED3C2211	MULTU A,(SP+1122H)	DDEDC12211
LDW IY,(IX+IY)	FDED1C	MULTU A,(3344H)	DDEDF94433
LDW IY,(IX+1122H)	FDED2C2211	MULTU A,A	EDF9
LDW IY,(IY+1122H)	FDED342211	MULTU A,B	EDC1
LDW IY,(PC+1122H)	FDED242211	MULTU A,C	EDC9
LDW IY,(SP+1122H)	FDED042211	MULTU A,D	EDD1
LDW IY,(3344H)	FD2A4433	MULTU A,E	EDD9
LDW IY,3344H	FD214433	MULTU A,H	EDE1
LDW SP,(HL)	ED36	MULTU A,IXH	DDEDE1
LDW SP,(IX+55H)	DDED3655	MULTU A,IXL	DDEDE9
LDW SP,(IY+55H)	FDED3655	MULTU A,IYH	FDEDE1
LDW SP,(3344H)	ED7B4433	MULTU A,IYL	FDEDE9
LDW SP,HL	F9	MULTU A,L	EDE9
LDW SP,IX	DDF9	MULTU A,66H	FDEDF966
LDW SP,IY	FD9	MULTUW HL,(HL)	DDEDC3
LDW SP,3344H	314433	MULTUW HL,(IX+1122H)	FDEDC32211
MEPU (HL)	EDAE	MULTUW HL,(IY+1122H)	FDEDD32211
MEPU (HL+IX)	ED8D	MULTUW HL,(PC+1122H)	DDEDF32211
MEPU (HL+IY)	ED95	MULTUW HL,(3344H)	DDEDD34433
MEPU (HL+1122H)	EDBD2211	MULTUW HL,BC	EDC3
MEPU (IX+IY)	ED9D	MULTUW HL,DE	EDD3
MEPU (IX+1122H)	EDAD2211	MULTUW HL,HL	EDE3
MEPU (IY+1122H)	EDB52211	MULTUW HL,IX	DDEDE3
MEPU (PC+1122H)	EDA52211	MULTUW HL,IY	FDEDE3
MEPU (SP+1122H)	ED852211	MULTUW HL,SP	EDF3
MEPU (3344H)	EDAF4433	MULTUW HL,3344H	FDEDF34433
MULT A,(HL)	EDF0	MULTW HL,(HL)	DDEDC2
MULT A,(HL+IX)	DDEDC8	MULTW HL,(IX+1122H)	FDEDC22211
MULT A,(HL+IY)	DDEDD0	MULTW HL,(IY+1122H)	FDEDD22211
MULT A,(HL+1122H)	FDEDD82211	MULTW HL,(PC+1122H)	DDEDF22211
MULT A,(IX+IY)	DDEDD8	MULTW HL,(3344H)	DDEDD24433
MULT A,(IX+55H)	DDEDF055	MULTW HL,BC	EDC2
MULT A,(IX+1122H)	FDEDC82211	MULTW HL,DE	EDD2
MULT A,(IY+55H)	FDEDF055	MULTW HL,HL	EDE2
MULT A,(IY+1122H)	FDEDD02211	MULTW HL,IX	DDEDE2
MULT A,(PC+1122H)	FDEDC02211	MULTW HL,IY	FDEDE2
MULT A,(SP+1122H)	DDEDC02211	MULTW HL,SP	EDF2
MULT A,(3344H)	DDEDF84433	MULTW HL,3344H	FDEDF24433
MULT A,A	EDF8	NEG A	ED44
MULT A,B	EDC0	NEG HL	ED4C
MULT A,C	EDC8	NOP	00
MULT A,D	EDD0	OR A,(HL)	B6
MULT A,E	EDD8	OR A,(HL+IX)	DDB1
MULT A,H	EDE0	OR A,(HL+IY)	DDB2
MULT A,IXH	DDEDE0	OR A,(HL+1122H)	FDB32211
MULT A,IXL	DDEDE8	OR A,(IX+IY)	DDB3
MULT A,IYH	FDEDE0	OR A,(IX+55H)	DDB655
MULT A,IYL	FDEDE8	OR A,(IX+1122H)	FDB12211
MULT A,L	EDE8	OR A,(IY+55H)	FDB655
MULT A,66H	FDEDF866	OR A,(IY+1122H)	FDB22211
MULTU A,(HL)	EDF1	OR A,(PC+1122H)	FDB02211
MULTU A,(HL+IX)	DDEDC9	OR A,(SP+1122H)	DDB02211

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
OR A,(3344H)	DDB74433	PUSH HL	E5
OR A,A	B7	PUSH IX	DDE5
OR A,B	B0	PUSH IY	FDE5
OR A,C	B1	PUSH 3344H	FD54433
OR A,D	B2	RES 0,(HL)	CB86
OR A,E	B3	RES 0,(IX+55H)	DDCB5586
OR A,H	B4	RES 0,(IY+55H)	FDCB5586
OR A,IXH	DDB4	RES 0,A	CB87
OR A,IXL	DDB5	RES 0,B	CB80
OR A,IYH	FDB4	RES 0,C	CB81
OR A,IYL	FDB5	RES 0,D	CB82
OR A,L	B5	RES 0,E	CB83
OR A,66H	F666	RES 0,H	CB84
OTDR	EDBB	RES 0,L	CB85
OTDRW	ED9B	RES 1,(HL)	CB8E
OTIR	EDB3	RES 1,(IX+55H)	DDCB558E
OTIRW	ED93	RES 1,(IY+55H)	FDCB558E
OUT (C),(HL+IX)	DDED49	RES 1,A	CB8F
OUT (C),(HL+IY)	DDED51	RES 1,B	CB88
OUT (C),(HL+1122H)	FDED592211	RES 1,C	CB89
OUT (C),(IX+IY)	DDED59	RES 1,D	CB8A
OUT (C),(IX+1122H)	FDED492211	RES 1,E	CB8B
OUT (C),(IY+1122H)	FDED512211	RES 1,H	CB8C
OUT (C),(PC+1122H)	FDED412211	RES 1,L	CB8D
OUT (C),(SP+1122H)	DDED412211	RES 2,(HL)	CB96
OUT (C),(3344H)	DDED794433	RES 2,(IX+55H)	DDCB5596
OUT (C),A	ED79	RES 2,(IY+55H)	FDCB5596
OUT (C),B	ED41	RES 2,A	CB97
OUT (C),C	ED49	RES 2,B	CB90
OUT (C),D	ED51	RES 2,C	CB91
OUT (C),E	ED59	RES 2,D	CB92
OUT (C),H	ED61	RES 2,E	CB93
OUT (C),HL	EDBF	RES 2,H	CB94
OUT (C),IXH	DDED61	RES 2,L	CB95
OUT (C),IXL	DDED69	RES 3,(HL)	CB9E
OUT (C),IYH	FDED61	RES 3,(IX+55H)	DDCB559E
OUT (C),IYL	FDED69	RES 3,(IY+55H)	FDCB559E
OUT (C),L	ED69	RES 3,A	CB9F
OUT (66H),A	D366	RES 3,B	CB98
OUTD	EDAB	RES 3,C	CB99
OUTDW	ED8B	RES 3,D	CB9A
OUTI	EDA3	RES 3,E	CB9B
OUTIW	ED83	RES 3,H	CB9C
OUTW (C),HL	EDBF	RES 3,L	CB9D
PCACHE	ED65	RES 4,(HL)	CBA6
POP (HL)	DDC1	RES 4,(IX+55H)	DDCB55A6
POP (PC+1122H)	DDF12211	RES 4,(IY+55H)	FDCB55A6
POP (3344H)	DDD14433	RES 4,A	CBA7
POP AF	F1	RES 4,B	CBA0
POP BC	C1	RES 4,C	CBA1
POP DE	D1	RES 4,D	CBA2
POP HL	E1	RES 4,E	CBA3
POP IX	DDE1	RES 4,H	CBA4
POP IY	FDE1	RES 4,L	CBA5
PUSH (HL)	DDC5	RES 5,(HL)	CBAE
PUSH (PC+1122H)	DDF52211	RES 5,(IX+55H)	DDCB55AE
PUSH (3344H)	DDD54433	RES 5,(IY+55H)	FDCB55AE
PUSH AF	F5	RES 5,A	CBAF
PUSH BC	C5	RES 5,B	CBA8
PUSH DE	D5	RES 5,C	CBA9

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
RES 5,D	CBAA	RR (IX+55H)	DDCB551E
RES 5,E	CBAB	RR (IY+55H)	FDCB551E
RES 5,H	CBAC	RR A	CB1F
RES 5,L	CBAD	RR B	CB18
RES 6,(HL)	CBB6	RR C	CB19
RES 6,(IX+55H)	DDCB55B6	RR D	CB1A
RES 6,(IY+55H)	FDCB55B6	RR E	CB1B
RES 6,A	CBB7	RR H	CB1C
RES 6,B	CBB0	RR L	CB1D
RES 6,C	CBB1	RRA	1F
RES 6,D	CBB2	RRC (HL)	CB0E
RES 6,E	CBB3	RRC (IX+55H)	DDCB550E
RES 6,H	CBB4	RRC (IY+55H)	FDCB550E
RES 6,L	CBB5	RRC A	CB0F
RES 7,(HL)	CBBE	RRC B	CB08
RES 7,(IX+55H)	DDCB55BE	RRC C	CB09
RES 7,(IY+55H)	FDCB55BE	RRC D	CB0A
RES 7,A	CBBF	RRC E	CB0B
RES 7,B	CBB8	RRC H	CB0C
RES 7,C	CBB9	RRC L	CB0D
RES 7,D	CBBA	RRCA	0F
RES 7,E	CBBB	RRD	ED67
RES 7,H	CBBC	RST 00H	C7
RES 7,L	CBBD	RST 08H	CF
RET C	C9	RST 10H	D7
RET M	D8	RST 18H	DF
RET NC	F8	RST 20H	E7
RET NZ	D0	RST 28H	EF
RET P	C0	RST 30H	F7
RET PE	F0	RST 38H	FF
RET PO	E8	SBC A,(HL)	9E
RET Z	E0	SBC A,(HL+IX)	DD99
RETI	C8	SBC A,(HL+IY)	DD9A
RETIL	ED4D	SBC A,(HL+1122H)	FD9B2211
RETN	ED55	SBC A,(IX+IY)	DD9B
RL (HL)	ED45	SBC A,(IX+55H)	DD9E55
RL (IX+55H)	CB16	SBC A,(IX+1122H)	FD992211
RL (IY+55H)	DDCB5516	SBC A,(IY+55H)	FD9E55
RL A	FDCB5516	SBC A,(IY+1122H)	FD9A2211
RL B	CB17	SBC A,(PC+1122H)	FD982211
RL C	CB10	SBC A,(SP+1122H)	DD982211
RL D	CB11	SBC A,(3344H)	DD9F4433
RL E	CB12	SBC A,A	9F
RL H	CB13	SBC A,B	98
RL L	CB14	SBC A,C	99
RLA	CB15	SBC A,D	9A
RLC (HL)	17	SBC A,E	9B
RLC (IX+55H)	CB06	SBC A,H	9C
RLC (IY+55H)	DDCB5506	SBC A,IXH	DD9C
RLC A	FDCB5506	SBC A,IXL	DD9D
RLC B	CB07	SBC A,IYH	FD9C
RLC C	CB00	SBC A,IYL	FD9D
RLC D	CB01	SBC A,L	9D
RLC E	CB02	SBC A,66H	DE66
RLC H	CB03	SBC HL,BC	ED42
RLC L	CB04	SBC HL,DE	ED52
RLCA	CB05	SBC HL,HL	ED62
RLD	07	SBC HL,SP	ED72
RR (HL)	ED6F	SBC IX,BC	DDDED42
	CB1E	SBC IX,DE	DDDED52

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
SBC IX,IX	DDED62	SET 5,(IY+55H)	FDCB55EE
SBC IX,SP	DDED72	SET 5,A	CBEF
SBC IY,BC	FDED42	SET 5,B	CBE8
SBC IY,DE	FDED52	SET 5,C	CBE9
SBC IY,IY	FDED62	SET 5,D	CBEA
SBC IY,SP	FDED72	SET 5,E	CBEB
SC 3344H	ED714433	SET 5,H	CBEC
SCF 37	37	SET 5,L	CBED
SET 0,(HL)	CBC6	SET 6,(HL)	CBF6
SET 0,(IX+55H)	DDCB55C6	SET 6,(IX+55H)	DDCB55F6
SET 0,(IY+55H)	FDCB55C6	SET 6,(IY+55H)	FDCB55F6
SET 0,A	CBC7	SET 6,A	CBF7
SET 0,B	CBC0	SET 6,B	CBF0
SET 0,C	CBC1	SET 6,C	CBF1
SET 0,D	CBC2	SET 6,D	CBF2
SET 0,E	CBC3	SET 6,E	CBF3
SET 0,H	CBC4	SET 6,H	CBF4
SET 0,L	CBC5	SET 6,L	CBF5
SET 1,(HL)	CBCE	SET 7,(HL)	CBFE
SET 1,(IX+55H)	DDCB55CE	SET 7,(IX+55H)	DDCB55FE
SET 1,(IY+55H)	FDCB55CE	SET 7,(IY+55H)	FDCB55FE
SET 1,A	CBCF	SET 7,A	CBFF
SET 1,B	CBC8	SET 7,B	CBF8
SET 1,C	CBC9	SET 7,C	CBF9
SET 1,D	CBCA	SET 7,D	CBFA
SET 1,E	CBCB	SET 7,E	CBFB
SET 1,H	CBCC	SET 7,H	CBFC
SET 1,L	CBCD	SET 7,L	CBFD
SET 2,(HL)	CBD6	SLA (HL)	CB26
SET 2,(IX+55H)	DDCB55D6	SLA (IX+55H)	DDCB5526
SET 2,(IY+55H)	FDCB55D6	SLA (IY+55H)	FDCB5526
SET 2,A	CBD7	SLA A	CB27
SET 2,B	CBD0	SLA B	CB20
SET 2,C	CBD1	SLA C	CB21
SET 2,D	CBD2	SLA D	CB22
SET 2,E	CBD3	SLA E	CB23
SET 2,H	CBD4	SLA H	CB24
SET 2,L	CBD5	SLA L	CB25
SET 3,(HL)	CBDE	SRA (HL)	CB2E
SET 3,(IX+55H)	DDCB55DE	SRA (IX+55H)	DDCB552E
SET 3,(IY+55H)	FDCB55DE	SRA (IY+55H)	FDCB552E
SET 3,A	CBDF	SRA A	CB2F
SET 3,B	CBD8	SRA B	CB28
SET 3,C	CBD9	SRA C	CB29
SET 3,D	CBDA	SRA D	CB2A
SET 3,E	CBDB	SRA E	CB2B
SET 3,H	CBDC	SRA H	CB2C
SET 3,L	CBDD	SRA L	CB2D
SET 4,(HL)	CBE6	SRL (HL)	CB3E
SET 4,(IX+55H)	DDCB55E6	SRL (IX+55H)	DDCB553E
SET 4,(IY+55H)	FDCB55E6	SRL (IY+55H)	FDCB553E
SET 4,A	CBE7	SRL A	CB3F
SET 4,B	CBE0	SRL B	CB38
SET 4,C	CBE1	SRL C	CB39
SET 4,D	CBE2	SRL D	CB3A
SET 4,E	CBE3	SRL E	CB3B
SET 4,H	CBE4	SRL H	CB3C
SET 4,L	CBE5	SRL L	CB3D
SET 5,(HL)	CBEE	SUB A,(HL)	96
SET 5,(IX+55H)	DDCB55EE	SUB A,(HL+IX)	DD91

SOURCE CODE	OBJECT CODE	SOURCE CODE	OBJECT CODE
SUB A,(HL+IY)	DD92	TSET (IX+55H)	DDCB5536
SUB A,(HL+1122H)	FD932211	TSET (IY+55H)	FDCB5536
SUB A,(IX+IY)	DD93	TSET A	CB37
SUB A,(IX+55H)	DD9655	TSET B	CB30
SUB A,(IX+1122H)	FD912211	TSET C	CB31
SUB A,(IY+55H)	FD9655	TSET D	CB32
SUB A,(IY+1122H)	FD922211	TSET E	CB33
SUB A,(PC+1122H)	FD902211	TSET H	CB34
SUB A,(SP+1122H)	DD902211	TSET L	CB35
SUB A,(3344H)	DD974433	TSTI (C)	ED70
SUB A,A	97	XOR A,(HL)	AE
SUB A,B	90	XOR A,(HL+IX)	DDA9
SUB A,C	91	XOR A,(HL+IY)	DDAA
SUB A,D	92	XOR A,(HL+1122H)	FDAB2211
SUB A,E	93	XOR A,(IX+IY)	DDAB
SUB A,H	94	XOR A,(IX+55H)	DDAE55
SUB A,IXH	DD94	XOR A,(IX+1122H)	FDA92211
SUB A,IXL	DD95	XOR A,(IY+55H)	FDAE55
SUB A,IYH	FD94	XOR A,(IY+1122H)	FDAA2211
SUB A,IYL	FD95	XOR A,(PC+1122H)	FDA82211
SUB A,L	95	XOR A,(SP+1122H)	DDA82211
SUB A,66H	D666	XOR A,(3344H)	DDAF4433
SUBW HL,(HL)	DDEDCE	XOR A,A	AF
SUBW HL,(IX+1122H)	FDEDCE2211	XOR A,B	A8
SUBW HL,(IY+1122H)	FDEDE2211	XOR A,C	A9
SUBW HL,(PC+1122H)	DDEDFE2211	XOR A,D	AA
SUBW HL,(3344H)	DDEDDE4433	XOR A,E	AB
SUBW HL,BC	EDCE	XOR A,H	AC
SUBW HL,DE	EDDE	XOR A,IXH	DDAC
SUBW HL,HL	EDEE	XOR A,IXL	DDAD
SUBW HL,IX	DDEDEE	XOR A,IYH	FDAC
SUBW HL,IY	FDEDEE	XOR A,IYL	FDAD
SUBW HL,SP	EDFE	XOR A,L	AD
SUBW HL,3344H	FDEDFE4433	XOR A,66H	EE66
TSET (HL)	CB36		